

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年6月24日 (24.06.2004)

PCT

(10) 国際公開番号
WO 2004/053669 A1

(51) 国際特許分類7: G06F 1/04

(21) 国際出願番号: PCT/JP2003/015665

(22) 国際出願日: 2003年12月8日 (08.12.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-355673 2002年12月6日 (06.12.2002) JP
特願2003-404109 2003年12月3日 (03.12.2003) JP(71) 出願人(米国を除く全ての指定国について): ザイン
エレクトロニクス株式会社 (THINE ELECTRONICS,
INC.) [JP/JP]; 〒103-0023 東京都 中央区日本橋本町
3-3-6 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 小沢 誠一
(OZAWA,Seiichi) [JP/JP]; 〒103-0023 東京都 中央区
日本橋本町 3-3-6 ザインエレクトロニクス株式
会社内 Tokyo (JP). 岡村 淳一 (OKAMURA,Junichi)
[JP/JP]; 〒103-0023 東京都 中央区日本橋本町3-3-6 ザ
インエレクトロニクス株式会社内 Tokyo (JP).(74) 代理人: 大島 由美子 (OSHIMA,Yumiko); 〒169-0075
東京都 新宿区 高田馬場1-20-10-203 進歩国際特許事
務所 Tokyo (JP).

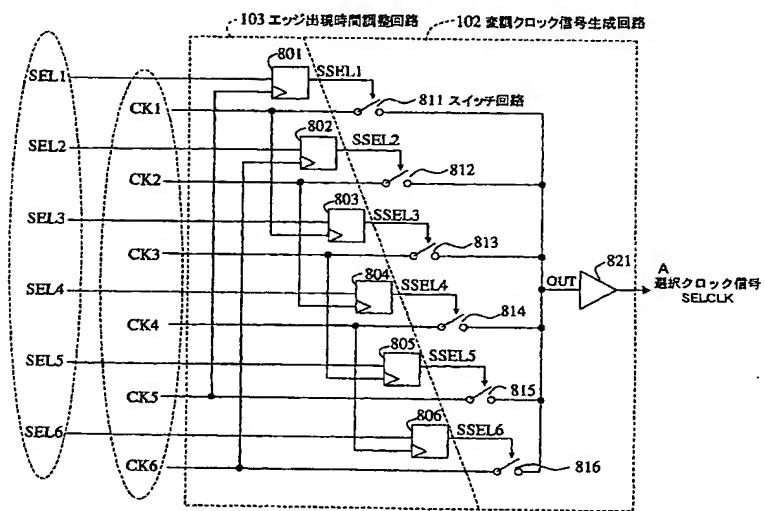
(81) 指定国(国内): CN, KR, US.

(84) 指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).

(統葉有)

(54) Title: FREQUENCY MODULATOR APPARATUS OF PHASE SELECTION TYPE, AND FREQUENCY SYNTHESIZER
OF PHASE SELECTION TYPE

(54) 発明の名称: 位相選択型周波数変調装置及び位相選択型周波数シンセサイザ



(57) Abstract: A frequency modulator apparatus of phase selection type that relaxes the restrictions as to the phase range of modulation clock signals. This frequency modulator apparatus of phase selection type comprises a poliphase clock signal generator circuit (101) for generating N-phase clock signals; a control circuit (104) for sequentially activating first clock selection signals that instruct which ones of the N-phase clock signals should be selected; an edge appearance time adjusting circuit (103) for adjusting the rising edge and/or falling edge appearance times of the first clock selection signals outputted from the control circuit (104) to output second clock selection signals; and a modulation clock signal generator circuit (102) for selecting, in accordance with the activation state of the second clock selection signals outputted from the edge appearance time adjusting circuit (103), one of the N-phase clock signals to output a modulation clock signal (MCK).

(統葉有)

WO 2004/053669 A1



添付公開書類:

— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 変調クロック信号の位相範囲に関する制約を緩和することができる位相選択型周波数変調装置。この位相選択型周波数変調装置は、N相のクロック信号を発生する多相クロック信号生成回路101と、N相のクロック信号の内から選択すべきクロック信号を指示する第1のクロック選択信号を順次活性化する制御回路104と、制御回路104から出力される第1のクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間を調整して第2のクロック選択信号を出力するエッジ出現時間調整回路103と、エッジ出現時間調整回路103から出力される第2のクロック選択信号の活性化状態に従ってN相のクロック信号の内から1つのクロック信号を選択して変調クロック信号MCKを出力する変調クロック信号生成回路102とを含む。

明細書

位相選択型周波数変調装置及び位相選択型周波数シンセサイザ

5 技術分野

本発明は、画像データ等の伝送を行う電子機器において、放射電磁雑音 (electromagnetic interference: 以下「EMI」と称する) を低減することができる位相選択型周波数変調装置及び位相選択型周波数シンセサイザに関する。

10

背景技術

電子機器の高速化に伴い、電子機器におけるEMIが問題となり、このEMIを低減することが要求されている。電子機器において、EMIを低減するための一技術として、スペクトラム拡散クロック信号を用いる方法が提案されている。より詳細には、特定の周波数にスペクトラムのピークが発生しないように意図的にジッタを発生させたり、また、回路の動作に影響を与えない程度の周期、例えば、数k Hzから数100k Hzの周期で緩やかに周波数を変動させたりしている。

図17は、日本国特許出願公開公報JP-A-2001-148690に開示されているクロック信号発生装置の構成を示す機能ブロック図である。図17に示すように、上記のクロック信号発生装置は、所望の周波数で位相が一定の間隔だけ互いにずれたm相のクロック信号S1mを発生するクロック生成部2001と、m相のクロック信号S1mの内の1つを選択するセレクタ部2003と、セレクタ部2003における選択を決定するディザリング制御部2002とを有している。クロック生成部2001において生成されたm相のクロック信号S1mが、セレ

クタ部 2003 に供給されるとともに、出力端子 2005 を介して取り出される。セレクタ部 2003 には、ディザリング制御部 2002 から制御信号 SEL が供給される。セレクタ部 2003 は、制御信号 SEL に応じて m 相のクロック信号 S1m の内の 1 つを順次選択し、このよう 5 にして得られたクロック信号 S2 は、出力端子 2004 から取り出すことができる。セレクタ部 2003 を制御するディザリング制御部 2002 は、出力端子 2004 において得られるクロック信号 S2 のスペクトラムが可能な限り拡散するように、選択信号 SEL を生成する。

図 18 は、ディザリング制御部 2002 の具体的な構成例を示す回路 10 ブロック図である。図 18 に示すように、ディザリング制御部 2002 は、直列環状をなす 8 個の D 型フリップフロップ 2031 ～ 2038 と、 3 個の OR 回路 2041 ～ 2043 とを含むように構成されており、出力信号 S0 ～ S4 の内の 1 つの信号がハイレベルの時に他の 4 つの信号 15 がローレベルとされ、クロック信号 CK の 1 サイクル毎にこれらの信号 間をハイレベルが移動する。

図 19 は、セレクタ部 2003 の具体的な構成例を示すブロック図である。セレクタ部 2003 は、5 つのスイッチ回路 2051 ～ 2055 と、バッファ回路 2056 とを含むように構成されている。上記の出力信号 S0 ～ S4 に同期して、 ΔT 間隔の 5 相クロック信号 DC0 ～ DC4 の内の 1 つが選択され、変調クロック信号が生成されて、バッファ回路 2056 を介して出力される。

図 20 は、上記のクロック信号発生装置の動作波形例を示す図である。図 20 に示すように、期間 A においては、DC0、DC1、DC2、DC3、DC4 の順でクロック信号が選択されているため、変調クロック信号 S2 の周期は $T + \Delta T$ となり、期間 B においては、DC4、DC3、DC2、DC1、DC0 の順でクロック信号が選択されているため、変

調クロック信号 S_2 の周期は $T - \Delta T$ となる。ここで、 T はシステムクロック信号の周波数 f_{CK} の逆数で定義され、以下同様の意味で T を用いる。期間 A と期間 B における動作が繰り返されるため、変調周期 T_{mod} は、 $+ \Delta T$ と $- \Delta T$ とが打ち消し合い、 $T_{mod} = 8 \times T$ となる。上記のクロック信号発生装置によれば、スペクトラム上のピークが分散したクロック信号が出力できるため、このクロック信号を用いて電子機器を動作させることで EMI を低減することができる。

しかしながら、上記のクロック信号発生装置を用いた場合には、以下に説明するような問題点がある。この問題点について、図 21 を参照しながら説明する。図 21 は、上記のクロック信号発生装置の動作における問題点を示す図である。図 21 に示すように、 m 相クロック信号 S_1 のエッジ（図 21 においては、立ち上がりエッジ 2101 と、立ち下がりエッジ 2103 とが示されている）と選択信号 SEL のエッジとが重なった場合に、図 19 に示すセレクタ部 2003 に設けられたスイッチ回路 2051～2055 の動作（“0”と“1”との間の切換）が不完全になり、変調クロック信号 S_2 の波形が劣化してしまう。即ち、図 21 に示すシステムクロック信号の 1 周期（矢印で示される範囲）に対応するクロック位相である 360 度に対して、実際に変化させることができるクロック位相の範囲は、180 度から所定の間隔を考慮した範囲を減算した範囲、即ち 180 度未満に制約されてしまう。

ここで、図 22A～図 22C を参照しながら、変調周期とクロック信号のスペクトル強度との関係を説明する。図 22A は、クロック信号が変調されていない場合のスペクトル強度と周波数との関係を示す図であり、図 22B は、変調周期が短い場合、即ち、 $1/T_{mod}$ が大きい場合のスペクトル強度と周波数との関係を示す図であり、図 22C は、変調周期が長い場合、即ち、 $1/T_{mod}$ が小さい場合のスペクトル強度

と周波数との関係を示す図である。ここで、 $T \bmod$ は変調周期を示し、 T はシステムクロック信号の周波数 f_{CK} の逆数である。

図 22 A に示すように、クロック信号が変調されていない場合には、 $f = 1/T$ の位置にスペクトルピーク 2201 が観測される。図 22 A に示すスペクトルを分散させるために変調クロック周期が $T - \Delta T$ と $T + \Delta T$ になるように変調した場合には、 $f = 1/(T + \Delta T)$ と $f = 1/(T - \Delta T)$ にピークが現れることが期待される。しかしながら、フーリエ変換の性質により、 $1/T \bmod$ の周期で変化する波形の場合は、 $1/T \bmod$ の間隔でスペクトルのピークが現れるため、変調周期が短い場合、即ち $1/T \bmod > \Delta T$ の場合には、 $f = 1/(T + \Delta T)$ と $f = 1/(T - \Delta T)$ のスペクトル成分がほとんど $f = 1/T$ のピーク 2201 に集中してしまい、図 22 B に示すようにパワーの分散は起きない。一方、図 22 C に示すように変調周期が長い場合、即ち $1/T \bmod < \Delta T$ の場合には、 $f = 1/(T + \Delta T)$ と $f = 1/(T - \Delta T)$ のスペクトル成分がピークとして現れる。即ち、 $f = 1/T$ におけるピーク 2201 に加えて、 $1/T \bmod$ 間隔で、 $f = 1/(T + \Delta T)$ と $f = 1/(T - \Delta T)$ との間にピーク 2217 とピーク 2215 とが現れる。パワーの分散に伴い、 $f = 1/T$ におけるピーク 2201 の強度が、図 22 A 及び図 22 B に示すピーク 2201 の強度と比べて低くなり、パワーの分散が起こっていることがわかる。

変調の効果が現れる条件について考えると、ピークの現れる間隔が、 $1/T$ と $1/(T \pm \Delta T)$ との間の間隔よりも短くなることが必要である。即ち、以下の (1) 式が成立する必要がある。

$$1/T \bmod < \text{ABS}(1/T - 1/(T \pm \Delta T)) \Leftrightarrow \Delta T > T^2$$

なお、 $\text{ABS}(X)$ は、 X の絶対値を意味する。

ここで、多相クロック信号の相数をNとすると、変調周期 T_{mod} は以下の（2）式で表される。

$$T_{mod} = 2N \times T \quad \dots \quad (2)$$

（1）式と（2）式より、以下の（3）式を導入することができる。

5 $T/2 < N \times \Delta T \quad \dots \quad (3)$

ここで、 $N \times \Delta T$ は、図17～図19に示す回路において位相が可変である範囲に相当し、前述のように少なくとも180度以上の位相可変範囲が必要である。

10 発明の開示

そこで、上記の点に鑑み、本発明の目的は、変調クロック信号の位相範囲に関する制約を緩和することができる位相選択型周波数変調装置及び位相選択型周波数シンセサイザを提供することである。

以上の課題を解決するため、本発明の一観点による位相選択型周波数変調装置は、互いに位相差を有するN相のクロック信号を発生する多相クロック信号生成手段と、多相クロック信号生成手段から出力されるN相のクロック信号の内から選択すべきクロック信号を指示する第1のクロック選択信号であって、N相のクロック信号にそれぞれ対応する第1のクロック選択信号を順次活性化する制御手段と、制御手段から出力される第1のクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間を調整して、多相クロック信号生成手段から出力されるN相のクロック信号にそれぞれ対応する第2のクロック選択信号を出力するエッジ出現時間調整手段と、エッジ出現時間調整手段から出力される第2のクロック選択信号の活性化状態に従ってN相のクロック信号の内から1つのクロック信号を選択し、選択されたクロック信号を変調クロック信号として出力する変調クロック信号生成手段とを備え

る。

また、本発明の一観点による位相選択型周波数シンセサイザは、互いに位相差を有するN相のクロック信号の内から選択すべきクロック信号を指示する第1のクロック選択信号であって、N相のクロック信号にそ
5 れぞれ対応する第1のクロック選択信号を順次活性化する制御手段と、制御手段から出力される第1のクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間を調整して、多相クロック信号生成手段から出力されるN相のクロック信号にそれぞれ対応する第2のクロック選択信号を出力するエッジ出現時間調整手段と、エッジ出現時間調整手段から出力される第2のクロック選択信号の活性化状態に
10 従ってN相のクロック信号の内から1つのクロック信号を選択し、選択されたクロック信号を出力する変調クロック信号生成手段と、参照クロック信号と変調クロック信号生成手段によって選択されたクロック信号との位相を比較する位相比較手段と、位相比較手段における比較結果に基づいてN相のクロック信号を発生するとともに、N相のクロック信号の内
15 の1つを変調クロック信号として出力する多相クロック信号生成手段とを備える。

本発明によれば、変調クロック信号の位相範囲に関する制約を緩和することができるので、EMIのより一層の低減が可能である。

20

図面の簡単な説明

本発明の利点及び特徴は、以下の詳細な説明と図面とを関連させて考
察すれば明らかになる。これらの図面において、同じ参照番号は同じ構
成要素を指している。

25 図1は、本発明の第1の実施の形態による位相選択型周波数変調回路の構成を示すブロック図である。

図 2 は、本発明の第 1 の実施の形態による位相選択型周波数シンセサイザの構成を示すブロック図である。

図 3 は、図 1 に示す多相クロック信号生成回路の構成例を示すブロック図である。

5. 図 4 は、図 2 に示す多相 VCO の構成例を示すブロック図である。

図 5 は、図 1 に示す変調クロック信号生成回路とエッジ出現時間調整回路とを含む構成例を示す図である。

図 6 は、図 2 に示す変調クロック信号生成回路とエッジ出現時間調整回路とを含む構成例を示す図である。

10 図 7 A 及び図 7 B は、図 5 におけるスイッチ回路の構成例を示す図である。

図 8 は、図 5 又は図 6 に示す変調クロック信号生成回路とエッジ出現時間調整回路の変形例を示す図である。

15 図 9 は、変調クロック信号生成回路とエッジ出現時間調整回路の動作を説明するタイミングチャートである。

図 10 は、変調クロック信号生成回路とエッジ出現時間調整回路の動作を説明するタイミングチャートである。

図 11 は、図 1 又は図 2 に示す制御回路の構成例を示すブロック図である。

20 図 12 は、図 11 に示すアップ／ダウンリングレジスタを示す図である。

図 13 は、図 1 又は図 2 に示す制御回路の他の構成例を示すブロック図である。

25 図 14 は、図 13 に示す制御回路の動作を示すタイミングチャートである。

図 15 は、図 11 に示す 3 値 $\Delta \Sigma$ 変調器の構成を示すブロック図であ

る。

図 1 6 は、本発明の第 2 の実施の形態による位相選択型周波数変調回路の構成を示すブロック図である。

図 1 7 は、従来のクロック信号発生装置の構成を示すブロック図である。

図 1 8 は、図 1 7 のディザリング制御部の構成例を示すブロック図である。

図 1 9 は、図 1 7 のセレクタ部の構成を示すブロック図である。

図 2 0 は、図 1 7 のクロック信号発生装置の動作波形図である。

図 2 1 は、図 1 7 のクロック信号発生装置の問題点を動作波形の観点から説明するための図である。

図 2 2 は、図 1 7 のクロック信号発生装置の問題点をスペクトル分散の観点から説明するための図である。

15 発明を実施するための最良の形態

本発明に係る位相選択型周波数変調装置及び位相選択型周波数シンセサイザにおいて、位相可変範囲の制約を緩和した変調クロック信号を生成して E M I を低減するために、N 相クロック信号の内から選択される 1 つのクロック信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間と、そのクロック信号を選択するためのクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間とが、時間的なずれを有し、互いに重なり合わないように、回路を構成する。

ここで、N 相クロック信号の相数 N が 4 以上の整数である場合に、本発明に係る位相選択型周波数変調装置及び位相選択型周波数シンセサイザが、効果を発揮する。

より具体的には、それぞれ位相が異なる 1 から N までの N 相クロック信号の内から 1 つのクロック信号（第 1 のクロック信号と称する）を選択することにより変調クロック信号を生成する際に、上記第 1 のクロック信号を選択するためのクロック選択信号として、N 相クロック信号中 5 から上記第 1 のクロック信号とは位相の異なる別のクロック信号（第 1 のクロック選択信号により選択を指示されたクロック信号であって、第 2 のクロック信号と称する）に基づいてエッジ出現時間を調整した第 2 のクロック選択信号を生成する。第 2 のクロック選択信号の活性化状態（例えば、ハイレベル又はローレベル）に従って、N 相クロック信号 C 10 K 1 ~ CK N の内のいずれか 1 つが選択され、選択されたクロック信号が変調クロック信号として出力される。

これにより、第 1 のクロック信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間と、この第 1 のクロック信号を選択するための第 2 のクロック選択信号の立ち上がりエッジ出現時間及び／又は 15 立ち下がりエッジ出現時間とを、任意にずらすことが可能となる。

上記考察に基づいて、以下に本発明の一実施の形態による位相選択型周波数変調装置について図面を参照しながら説明する。

図 1 は、本発明の第 1 の実施の形態による位相選択型周波数変調装置の構成を示す。図 1 に示すように、本発明の第 1 の実施の形態による位 20 相選択型周波数変調装置 100 は、多相クロック信号生成回路 101 と、多相クロック信号の内から 1 つのクロック信号を選択することにより変調動作を行う変調クロック信号生成回路 102 と、エッジ出現時間調整回路 103 と、クロック選択信号生成回路 105 及びこれを制御する制御論理回路 106 を有する制御回路 104 とを含んでいる。多相クロ 25 ック信号の相数 N は、例えば、6 又は 12 等である。変調クロック信号生成回路 102 は、選択クロック信号 SEL CLK を、変調クロック信

号MCKとして出力する。

図2は、図1の位相選択型周波数変調装置を用いた位相選択型周波数シンセサイザの構成を示す。位相選択型周波数シンセサイザ110は、
5 入力された参照クロック信号(REFCLK)111を変調して、これ
を変調クロック信号120として出力する。この位相選択型周波数シン
セサイザは、位相比較器(PD)112と、チャージポンプ113と、
ループフィルタ(LPF)114とを有する位相比較回路115と、多
相(N相)電圧制御発振器(VCO)116とを含んでいる。さらに、
位相選択型周波数シンセサイザは、図1に示すのと同様に、変調クロック
10 信号生成回路102と、エッジ出現時間調整回路103と、クロック
選択信号生成回路105及びこれを制御する制御論理回路106を有す
る制御回路104とを含んでいる。変調クロック信号生成手段102の
出力は、分周器117を介してフィードバックされるクロック信号と、
参考クロック信号(REFCLK)111とを、位相比較回路115に
15 おいて位相比較することにより制御される。多相VCO116の出力の
1つであるクロック信号CK1は、分周器118において分周され、周
波数が所望の値に変換された変調クロック信号120が出力される。

変調クロック信号生成回路102は、多相VCO116から出力され
るN個のクロック信号の内の1つを選択して、これを選択クロック信号
20 SELCLKとして出力する。フィードバック信号と参考クロック信号
(REFCLK)111とを位相比較回路115において位相比較して
変調クロック信号生成回路102の出力を制御することにより、多相V
CO116の出力の1つであるクロック信号CK1に基づいて、周波数
が所望の値に変換された変調クロック信号120が出力される。

25 以上の構成において、変調クロック信号生成回路102のセレクタに
おける選択が変わらない場合には、変調クロック信号の周波数は次式で

表される。

$$f_0 = f_{REFCLK} \cdot M / N$$

セレクタにおける選択がずれていく場合、例えば1つずつ後はずれていく場合には、変調クロック信号の周波数は、 $f_{max} = f_0 \cdot 13 / 12$ になるよう制御される。逆に、セレクタにおける選択が前にずれていく場合には、例えば1つずつ前にずれていく場合には、 $f_{min} = f_0 \cdot 11 / 12$ になるよう制御される。セレクタにおける選択のずらし方を混ぜることにより、変調クロック信号の周波数を、 f_{min} と f_{max} との間の任意の値に制御することができる。

10 周波数データに従って、デルタシグマ変調を用いてセレクタにおける選択のずらし方を制御することにより、変調クロック信号の周波数を周波数データによって設定された値とすることができる。デルタシグマ変調の次数は、1次でも2次でもそれ以上でも良いが、1次よりも2次の場合の方が精度がよく、3次以上の場合には2次と効果が変わらないに15 も関わらず回路規模が増大することから、2次程度が望ましい。

図3は、図1に示す多相クロック信号生成回路101の構成例を示す。図3に示す多相クロック信号生成回路101は、3つの差動アンプ201～203と、6つのコンパレータ211～216とを有している。3つの差動アンプ201～203は、リング発振器を形成している。6つのコンパレータ211～216は、遅延を有する差動アンプ201～203の非反転出力と反転出力をコンパレータ211～216においてそれぞれ比較することにより、6相のクロック信号CK1～CK6に変換する。差動アンプ201～203の遅延時間を全て等しくすることにより、6相クロック信号CK1～CK6を、等位相間隔にすることができる。

図4は、図2に示す多相VCO116の構成例を示す。図4に示す多

相VCO116は、6つの差動アンプ221～226によって構成されるリングオシレータと、12個のコンパレータ231～242とを有している。差動アンプ221～226の制御電圧により、各差動アンプにおける遅延時間を変化させて、周波数を制御することができる。また、
5 各差動アンプの出力を正転用と反転用の2つのコンパレータを用いてレベル変換することにより、1.2相のクロック信号CLK1～CLK12を生成している。

図5は、図1に示す変調クロック信号生成回路102とエッジ出現時間調整回路103とを含む構成例を示す。図5に示すように、エッジ出現時間調整回路103は、フリップフロップ回路801～806を含み、変調クロック信号生成回路102は、それぞれのフリップフロップ回路801～806に対応するスイッチ回路811～816と、これらの出力に共通に設けられた1つのバッファ回路821とを有している。

フリップフロップ回路801～806のそれぞれの入力端子には、対応する第1のクロック選択信号SEL1～SEL6が入力されるとともに、クロックパルス端子には、クロック信号CK1～CK6の内のいずれか1つで、第1のクロック選択信号SEL1～SEL6によって選択されるクロック信号との位相差が所定の範囲内であるクロック信号が入力される。例えば、フリップフロップ回路801の入力端子には選択信号SEL1が入力され、クロックパルス端子にはクロック信号CK5が入力される。同様に、フリップフロップ回路802の入力端子には第2のクロック選択信号SEL2が入力され、クロックパルス端子にはクロック信号CK6が入力される。

これにより、フリップフロップ回路801～806にそれぞれ入力される第1のクロック選択信号SEL1～SEL6は、第1のクロック選択信号SEL1～SEL6によってそれぞれ選択されるクロック信号C

K1～CK6よりもT/3(120度)だけ位相が進んだクロック信号に同期してラッチされ、ラッチされた信号が、対応する第1～第6のスイッチ回路811～816のオン／オフを制御する第2のクロック選択信号(スイッチ制御信号)SSEL1～SSEL6として出力される。

5 第2のクロック選択信号SSEL1～SSEL6の各々とそれによつて選択されるクロック信号との間でエッジ出現時間が重ならないようするためには、選択されるクロック信号とフリップフロップ回路において第1のクロック選択信号をラッチするために使用されるクロック信号との位相差を90度程度にした場合に、最もマージンが大きい。図5に
10 おいては、例として、位相差が120度である場合を示している。

スイッチ回路811～816の入力側に、対応するクロック信号CK1～CK6がそれぞれ入力され、第2のクロック選択信号SSEL1～SSEL6に従ってオン／オフ制御されて、選択された1つのクロック信号が出力側に伝わる。スイッチ回路811～816の出力側は共通接続されており、選択されたクロック信号は、バッファ回路821を介して選択クロック信号SELCLKとして出力される。

図6は、12相の変調クロック信号生成回路102とエッジ出現時間調整回路103とを含む構成例を示す。エッジ出現時間調整回路103が第2のクロック選択信号SSEL1～SSEL12の活性化タイミングを調整しているので、第2のクロック選択信号と選択されるクロック信号との間でエッジ出現時間は常に一定の間隔を有しており、両者のエッジが重なることはない。

エッジ出現時間調整回路103において、第1のクロック選択信号SEL1～SEL12の各々は、対応するクロック信号CK1～CK12と所定の位相差を有するクロック信号に同期してラッチされ、エッジが調整された第2のクロック選択信号SSEL1～SSEL12として出

力される。変調クロック信号生成回路102は、第2のクロック選択信号SSEL1～SSEL12に従ってクロック信号CK1～CK12の内の何れか1つを選択し、選択クロック信号SELCLKとして出力する。

5 図7A及び図7Bは、図5における変調クロック信号生成回路102内のスイッチ回路811の構成例を示す。図7Aに示すスイッチ回路は、CMOSのアナログスイッチであり、NチャネルMOSトランジスタ903と、PチャネルMOSトランジスタ902と、インバータ901とを有している。NチャネルMOSトランジスタ903の制御端子（ゲート端子）には、第2のクロック選択信号（スイッチ制御信号：例えば、図5に示すSSEL1）が入力される。PチャネルMOSトランジスタ902のゲート端子には、インバータ901によって反転された第2のクロック選択信号SSEL1が入力される。第2のクロック選択信号SSEL1をハイレベルにすると、アナログスイッチが導通状態となり、アナログスイッチに入力されるクロック信号CK1が、アナログスイッチの出力端子OUTに伝わる。

10 15

図7Bに示すスイッチ回路は、NチャネルMOSトランジスタ904を用いており、NチャネルMOSトランジスタ904のゲート端子に第2のクロック選択信号SSEL1が入力される。第2のクロック選択信号SSEL1がハイレベルの時に、スイッチ回路に入力されるクロック信号CK1がスイッチ回路の出力端子OUTに伝わる。

なお、スイッチ回路812～816や、図6におけるスイッチ回路も、図7A又は図7Bに示すのと同様の構成にすることができる。

図8は、図5又は図6に示す変調クロック信号生成回路とエッジ出現時間調整回路の変形例を示す。図8において、図5又は図6に示す構成との相違点は、各々のスイッチ回路1011に対応するフリップフロッ

20 25

5 プ回路 1001 のクロック入力端子に対して、対応するスイッチ回路 1011 に入力されるクロック信号と同じクロック信号 CK1 が入力される点と、スイッチ回路 1011 に入力されるクロック信号 CK1 を遅延させるための遅延回路 1002 が設けられている点である。実際には、
5 上記の回路が N 個設けられている。

10 図 8 に示す構成を用いた場合においても、スイッチ回路 1011 には、遅延回路 1002 によってクロック信号 CK1 に対して遅延されたクロック信号が入力されるので、フリップフロップ回路 1001 に入力されるクロック信号 CK1 とエッジ出現時間が異なるクロック信号をスイ
10 ッチ回路 1011 に入力することができる。

15 図 9 及び図 10 を参照しながら、上記の変調クロック信号生成回路とエッジ出現時間調整回路の動作について説明する。図 9 及び図 10 には、第 1 のクロック選択信号 SEL1～SEL6 と、例えば、図 5 においてクロック信号 CK1～CK6 の内のいずれか 1 つを選択するための実
15 質的な選択信号である第 2 のクロック選択信号 SSEL1～SSEL6 と、クロック信号 CK1～CK6 と、選択クロック信号 SELCLK の波形が示されている。

20 図 9において、クロック信号 CK1～CK6 は、位相が遅れる方向にずれている。第 2 のクロック選択信号 SSEL1～SSEL6 に従って、クロック信号 CK1～CK6 の内のいずれか 1 つが順次選択される。このようにして生成される選択クロック信号 SELCLK の周期は、T
+ ΔT になっている。

25 第 1 の選択信号 SEL1～SEL6 は、選択クロック信号 SELCLK に同期した信号である。そこで、第 1 のクロック選択信号 SEL1～SEL6 の各々を、他の所定のクロック信号に同期してラッチすることにより、第 2 のクロック選択信号 SSEL1～SSEL6 を生成してい

る。図9に示す例においては、クロック信号CK1に関し、クロック信号CK5の立ち上がりエッジに同期して第1の選択信号SEL1をラッチすることにより、第2のクロック選択信号SSEL1をローレベル又はハイレベルに変化させている。また、クロック信号CK2に関しては5、クロック信号CK6の立ち上がりエッジに同期して第1のクロック選択信号SEL2をラッチすることにより、第2のクロック選択信号SSEL2をハイレベル又はローレベルに変化させている。以下同様にして、第2のクロック選択信号SSEL3～6を生成する。

ここで、クロック信号CK1と、これとは位相が異なる($T/3$ 、即10ち、120度だけ位相が進んでいる)クロック信号CK5に同期して生成された第2のクロック選択信号SSEL1とは、図9より明らかにように、エッジ出現位置が常に一定の間隔を有しており、エッジ出現時間が重なることはない。従って、クロック信号CK1～CK6により順次生成される選択クロック信号SELCLKは、周期 $T + \Delta T$ がどれだけ15続いたとしても、第2のクロック選択信号SSEL1～SSEL6のエッジ出現時間と、それぞれ選択されるクロック信号CK1～CK6のエッジ出現時間とが重なることがないので、選択されたクロック信号の波形が劣化することがない。このようにして、CK1→CK2→CK3→CK4→CK5→CK6→CK1→…にそれぞれ対応する選択クロ20ック信号SELCLKを連続して生成することができるという利点がある。なお、図9においては、第2のクロック選択信号SSEL1～SSEL6の全てがローレベルになっている期間が存在するが、この期間中は、スイッチ回路の出力が、素子や配線の寄生容量によって保持される。

25 図10においては、図9と同様に、クロック信号CK1～CK6の内から1つのクロック信号が順次選択されているが、生成される選択クロ

ック信号 S E L C L K の周期が $T - \Delta T$ になっている点において異なっている。即ち、クロック信号 C K 1 ~ C K 6 は、位相が進む方向にずれている。例えば、クロック信号 C K 1 と、これとは位相が異なる ($T / 3$ 、即ち、120度だけ位相が進んでいる) クロック信号 C K 5 により 5 生成された第2のクロック選択信号 S S E L 1 とは、図10より明らかなように、エッジ出現時間が常に一定の間隔を有しており、エッジ出現時間が重なることはない。

従って、クロック信号 C K 1 ~ C K 6 に基づいて順次生成される選択クロック信号 S E L C L K は、周期 $T - \Delta T$ がどれだけ続いたとしても 10 問題が生じない。このようにして、C K 6 → C K 5 → C K 4 → C K 3 → C K 2 → C K 1 → C K 6 → … にそれぞれ対応する選択クロック信号 S E L C L K を連続して生成することができるという利点がある。以上の説明においては、6相の場合について説明したが、12相の場合においても同様に動作する。

15 図11は、エッジ出現時間調整回路103にクロック選択信号を供給するための制御回路104の構成例を示す。図11に示すように、制御回路104は、周波数データ生成器601及び3値 $\Delta \Sigma$ 変調器602を有する制御論理回路106と、アップ/ダウンリングレジスタ603を有するクロック選択信号生成回路105とを含んでいる。選択クロック信号 S E C L K に同期して状態を遷移させるリングレジスタ603により、第1のクロック選択信号 S E L 1 ~ S E L 12 を生成する。周波数データ生成器601から出力される周波数データ F D a t a は、3値 $\Delta \Sigma$ 変調器602に入力され、3値の制御信号 C S G に変換される。アップ/ダウンリングレジスタ603は、制御信号 C S G に従って、選択を 20 前後に遷移させるか、或いは、維持する。なお、図1の位相選択型周波数変調回路においては周波数データ生成器に代えて周期データ生成器が 25

使用される。

図12は、図11に示すアップ／ダウンリングレジスタ603を示す。アップ／ダウンリングレジスタ603は、D型フリップフロップ回路(D-F F)501～512と、これらのフリップフロップ回路501～512に対応するセレクタ回路521～532とを有している。フリップフロップ回路501～512の出力端子は、エッジ出現時間調整回路103(図6参照)における第1のクロック選択信号SEL1～SEL12の入力端子にそれぞれ接続されている。

セレクタ回路521～532は、3入力1出力セレクタ回路により構成されており、制御論理回路106(図11参照)の出力である制御信号(セレクタ信号)CSGによって制御される。より具体的には、セレクタ回路521～532は、制御信号CSGの3つの状態に応じて、3入力の内のいずれか1つを選択して出力する回路である。一方、フリップフロップ回路501～512は、変調クロック信号生成回路から出力される選択クロック信号SECLKに同期してセレクタ回路521～532の出力をラッチし、第1のクロック選択信号SEL1～SEL12として出力する。これにより、第1のクロック選択信号SEL1～SEL12の内でハイレベルとなる信号が遷移する。

図13は、制御回路104の他の構成例を示す。制御回路104は、アップ／ダウンカウンタ401及びデコーダ402を有するクロック選択信号生成回路105と、それを制御する制御論理回路106とを含んでいる。クロック選択信号生成回路105は、制御論理回路106から供給される制御信号の値に応じて、第1のクロック選択信号SEL1～SEL12を出力する。その際、クロック選択信号生成回路105は、制御論理回路106から供給される制御信号の値に応じて、活性化すべきクロック選択信号を1つ前後にずらすか、そのまま維持する。

制御論理回路 106 は、アップ／ダウンカウンタ 401 を制御するための制御信号 CSG を出力する。アップ／ダウンカウンタ 401 は、パルスを受けるとカウンタの値を 1 ずつインクリメント又はデクリメントすることができるカウンタである。アップ／ダウンカウンタ 401 は、

5 変調クロック信号（パルス信号） SELCLK に同期して動作し、制御信号 CSG を受ける毎に出力のカウンタ値 CTV を、 $1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow \dots \rightarrow 1 \ 1 \rightarrow 1 \ 2 \rightarrow 1 \rightarrow 2 \rightarrow \dots$ (アップ) 、或いは、 $1 \ 2 \rightarrow 1 \ 1 \rightarrow \dots \rightarrow 4 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 1 \ 2 \rightarrow 1 \ 1 \rightarrow \dots$ (ダウン) のように変化させる。

10 アップ／ダウンカウンタ 401 は、“アップ”、“ダウン”、“保持” の 3 通りの動作の内のいずれかに対応する値を、カウンタ値 CTV としてデコーダ 402 に出力する。デコーダ 402 は、第 1 のクロック選択信号 SEL1～SEL12 の中から、カウンタ値 CTV に対応する第 1 のクロック選択信号 SEL1～SEL12 の内のいずれかをハイレベル 15 ルに活性化する。

図 14 は、図 13 に示す制御回路 104 の動作を示す。制御回路 104 の動作は、制御信号 CSG の値が“アップ”を表す場合と“ダウン”を表す場合とで異なる。制御信号 CSG の値が“アップ”を表す場合には、第 1 のクロック選択信号 SEL1～SEL12 の内でハイレベルとなる信号が、矢印 AR1 で示すように SEL1 → SEL2 → SEL3 → \dots と変化する。一方、制御信号 CSG の値が“ダウン”を表す場合には、第 1 のクロック選択信号 SEL1～SEL12 の内でハイレベルとなる信号が、矢印 AR2 で示すように SEL4 → SEL3 → SEL2 → \dots と変化する。

25 図 15 は、図 11 に示す 3 値 $\Delta\Sigma$ 変調器 602 の構成を示す図である。図 15 に示すように、この $\Delta\Sigma$ 変調回路は、2 次の構成となっており

、第1から第4までの加算器701、702、704、705と、遅延回路703及び706と、3値の量子化器707とを有している。3値の量子化器707は、入力に応じて $+\Delta$ 、0、 $-\Delta$ の3値のいずれかを制御信号CSとして出力する。クロック信号の選択に関して、3値を、
5 「後ろに遷移」、「維持」、「前に遷移」に対応させると、変調クロック信号の周波数がそれぞれ、 $f = f_0 \cdot 13/12$ 、 $f = f_0$ 、 $f = f_0 \cdot 11/12$ となるように制御される。

図15に示す構成によれば、以下の式で表される値を周波数データF Dataとして入力することにより、変調クロック信号MCKの周波数
10 を任意の周波数 f_1 に制御することができる。

$$\text{周波数データ} = \Delta \times (f_1 - f_0) / (f_0 / 12) \dots \quad (5)$$

なお、図15に示す3値 $\Delta\Sigma$ 変調器に代えて、1ビットの $\Delta\Sigma$ 変調器を用いても良い。この場合には、1ビットを「後ろに遷移」、「維持」、「前に遷移」の内のいずれかに対応させる。

15 このように、簡易な構成で周波数変調を実現することができる。また、一般にチャージポンプのパルス幅が大きい場合には、PLL出力のジッタが大きくなる傾向があるが、本実施の形態による変調クロック信号発生回路によれば、セレクタを使用してフィードバックのクロック信号の位相を細かく制御できるので、ジッタが少なくなるという利点がある
20 。

以上述べた本発明の第1の実施の形態による変調クロック信号発生装置によれば、位相可変範囲に関する制約が無い変調クロック信号を生成することができ、電子機器のEMIを低減することができる。

次に、本発明の第2の実施の形態による位相選択型周波数変調回路について、図16を参照しながら説明する。図16に示すように、第2の実施の形態による位相選択型周波数変調回路は、図1に示す第1の実施

の形態による位相選択型周波数変調回路と同様に、多相クロック信号生成回路 101 と、変調クロック信号生成回路 102 と、エッジ出現時間調整回路 103 と、制御回路 104 とを有している。それに加えて、PLL1205 が、変調クロック信号生成回路 102 の出力に接続されて 5 いる点が、図 1 に示す回路とは異なっている。本実施の形態においては、変調クロック信号 MCK が、PLL1205 から出力される。本実施の形態によれば、変調クロック信号生成回路 102 から出力される選択クロック信号 SELCLK における離散的な周期変化が、PLL120 5 のループフィルタによってフィルタリングされるので、周波数変化が 10 なだらかな変調クロック信号を得ることができる。

産業上の利用可能性

本発明は、画像データ等の伝送を行う電子機器において用いられる位相選択型周波数変調装置及び位相選択型周波数シンセサイザにおいて利 15 用することが可能である。

請求の範囲

1. 互いに位相差を有するN相のクロック信号を発生する多相クロック信号生成手段と、

5 前記多相クロック信号生成手段から出力される前記N相のクロック信号の内から選択すべきクロック信号を指示する第1のクロック選択信号であって、前記N相のクロック信号にそれぞれ対応する第1のクロック選択信号を順次活性化する制御手段と、

前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間を調整して、前記多相クロック信号生成手段から出力される前記N相のクロック信号にそれぞれ対応する第2のクロック選択信号を出力するエッジ出現時間調整手段と、

前記エッジ出現時間調整手段から出力される前記第2のクロック選択信号の活性化状態に従って前記N相のクロック信号の内から1つのクロック信号を選択し、選択されたクロック信号を変調クロック信号として出力する変調クロック信号生成手段と、

を備える位相選択型周波数変調装置。

2. 互いに位相差を有するN相のクロック信号を発生する多相クロック信号生成手段と、

前記多相クロック信号生成手段から出力される前記N相のクロック信号の内から選択すべきクロック信号を指示する第1のクロック選択信号であって、前記N相のクロック信号にそれぞれ対応する第1のクロック選択信号を順次活性化する制御手段と、

25 前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間を調整して、前

記多相クロック信号生成手段から出力される前記N相のクロック信号にそれぞれ対応する第2のクロック選択信号を出力するエッジ出現時間調整手段と、

前記エッジ出現時間調整手段から出力される前記第2のクロック選択

- 5 信号の活性化状態に従って前記N相のクロック信号の内から1つのクロック信号を選択し、選択されたクロック信号を出力する変調クロック信号生成手段と、

前記変調クロック信号生成手段によって選択されたクロック信号を受けて、該選択されたクロック信号におけるジッタをフィルタリングする

- 10 ことにより変調クロック信号を出力するPLL (phase locked loop)手段と、

を備える位相選択型周波数変調装置。

3. 前記エッジ出現時間調整手段が、前記選択手段によって活性化された第1のクロック選択信号に対応して選択されるクロック信号の立ち上

- 15 がりエッジ出現時間及び／又は立ち下がりエッジ出現時間と、前記第2のクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間とが重ならないように、前記第1のクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間を調整する、請求項1記載の位相選択型周波数変調装置。

20 4. 前記エッジ出現時間調整手段が、前記選択手段によって活性化された第1のクロック選択信号に対応して選択されるクロック信号の立ち上

がりエッジ出現時間及び／又は立ち下がりエッジ出現時間と、前記第2のクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間とが重ならないように、前記第1のクロック選択信号の

- 25 立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間を調整する、請求項2記載の位相選択型周波数変調装置。

5. 互いに位相差を有するN相のクロック信号の内から選択すべきクロック信号を指示する第1のクロック選択信号であって、前記N相のクロック信号にそれぞれ対応する第1のクロック選択信号を順次活性化する制御手段と、
 - 5 前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ出現時間及び／又は立ち下がりエッジ出現時間を調整して、前記多相クロック信号生成手段から出力される前記N相のクロック信号にそれぞれ対応する第2のクロック選択信号を出力するエッジ出現時間調整手段と、
 - 10 前記エッジ出現時間調整手段から出力される前記第2のクロック選択信号の活性化状態に従って前記N相のクロック信号の内から1つのクロック信号を選択し、選択されたクロック信号を出力する変調クロック信号生成手段と、

参考クロック信号と前記変調クロック信号生成手段によって選択されたクロック信号との位相を比較する位相比較手段と、
前記位相比較手段における比較結果に基づいて前記N相のクロック信号を発生するとともに、前記N相のクロック信号の内の1つを変調クロック信号として出力する多相クロック信号生成手段と、
を備える位相選択型周波数シンセサイザ。

 - 20 6. 前記変調クロック信号生成手段によって選択されたクロック信号を分周し、分周された選択クロック信号を前記位相比較手段に出力する分周手段をさらに備える請求項5記載の位相選択型周波数シンセサイザ。

FIG.1

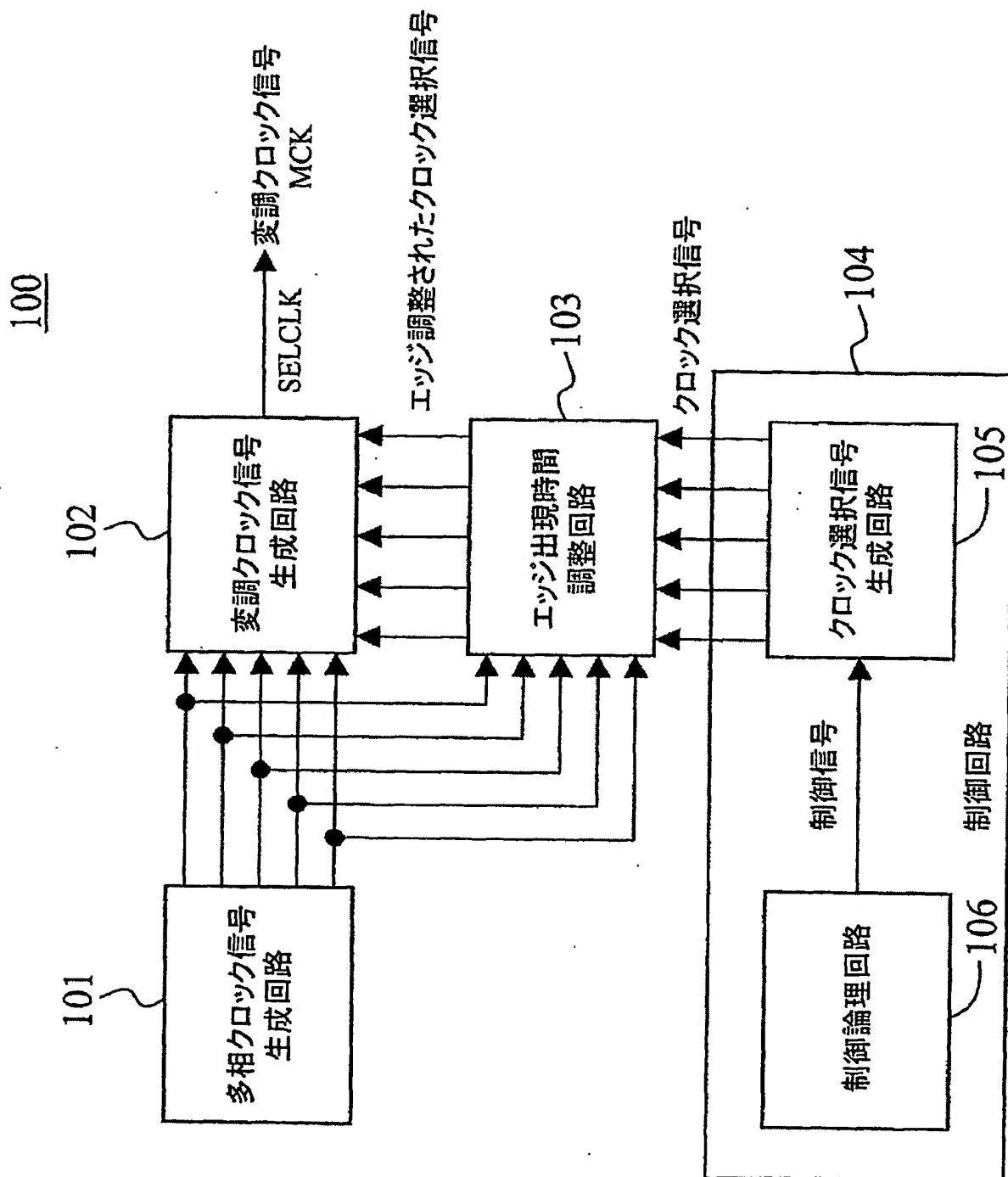


FIG. 2

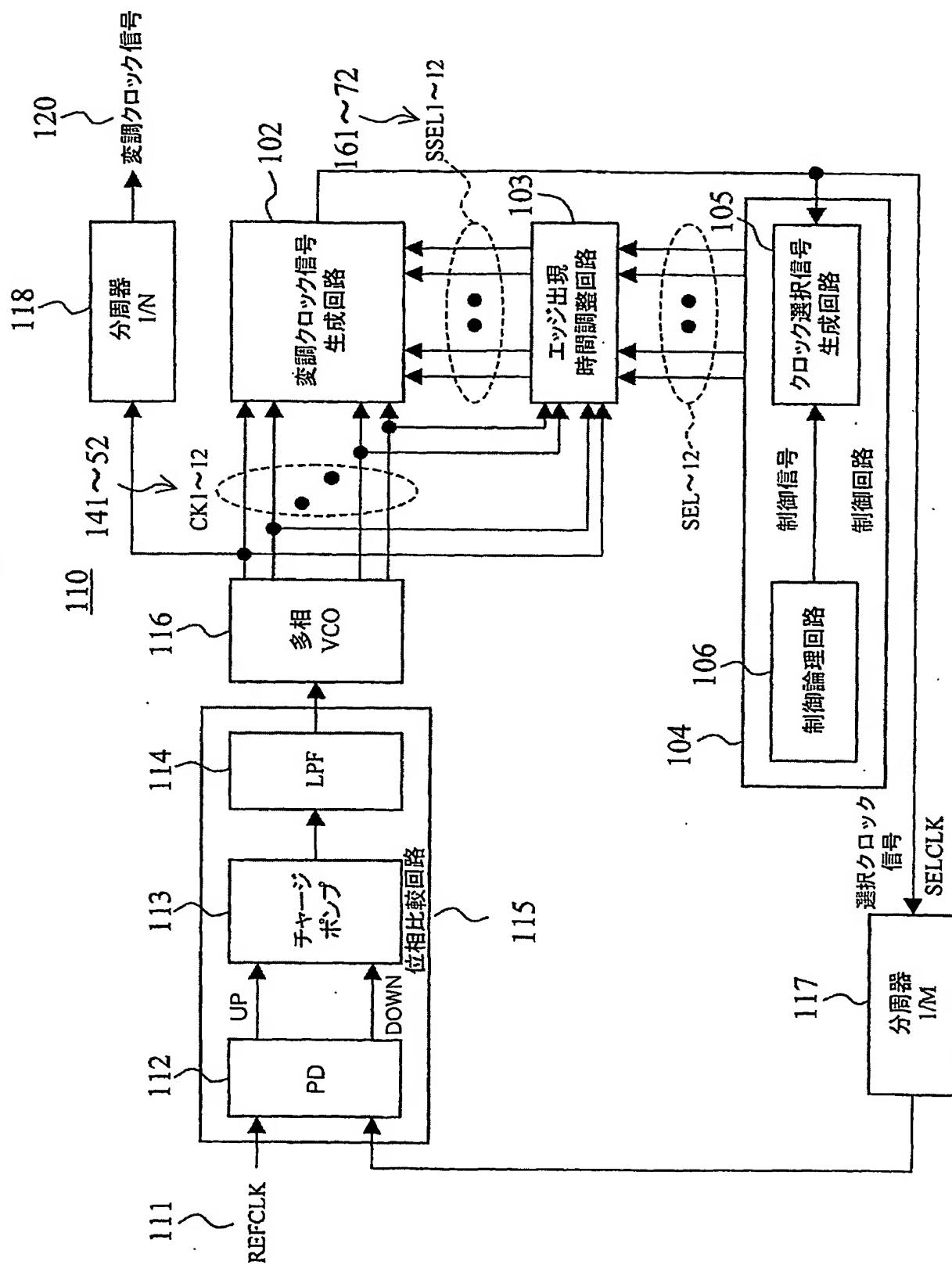


FIG.3

101

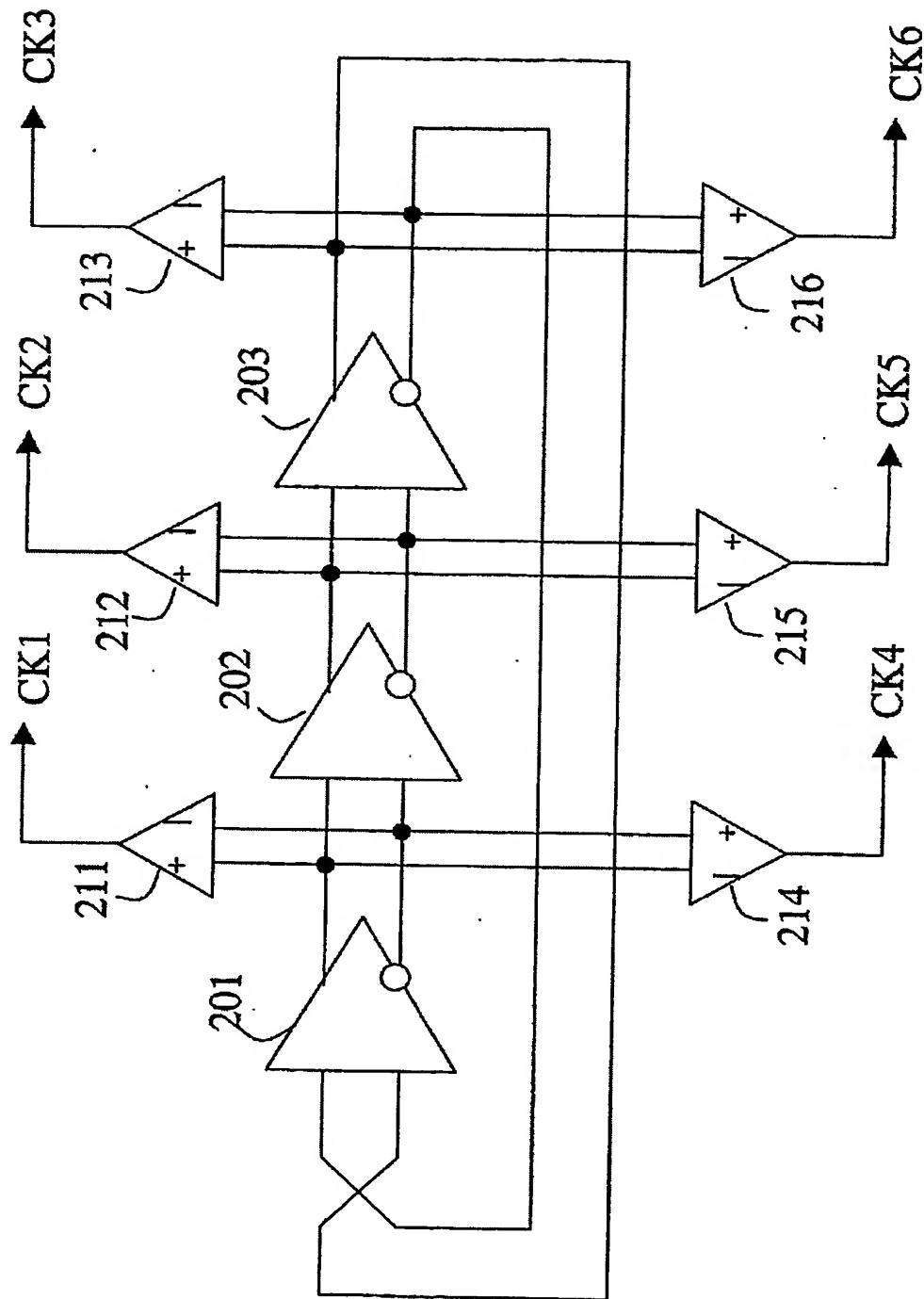


FIG.4

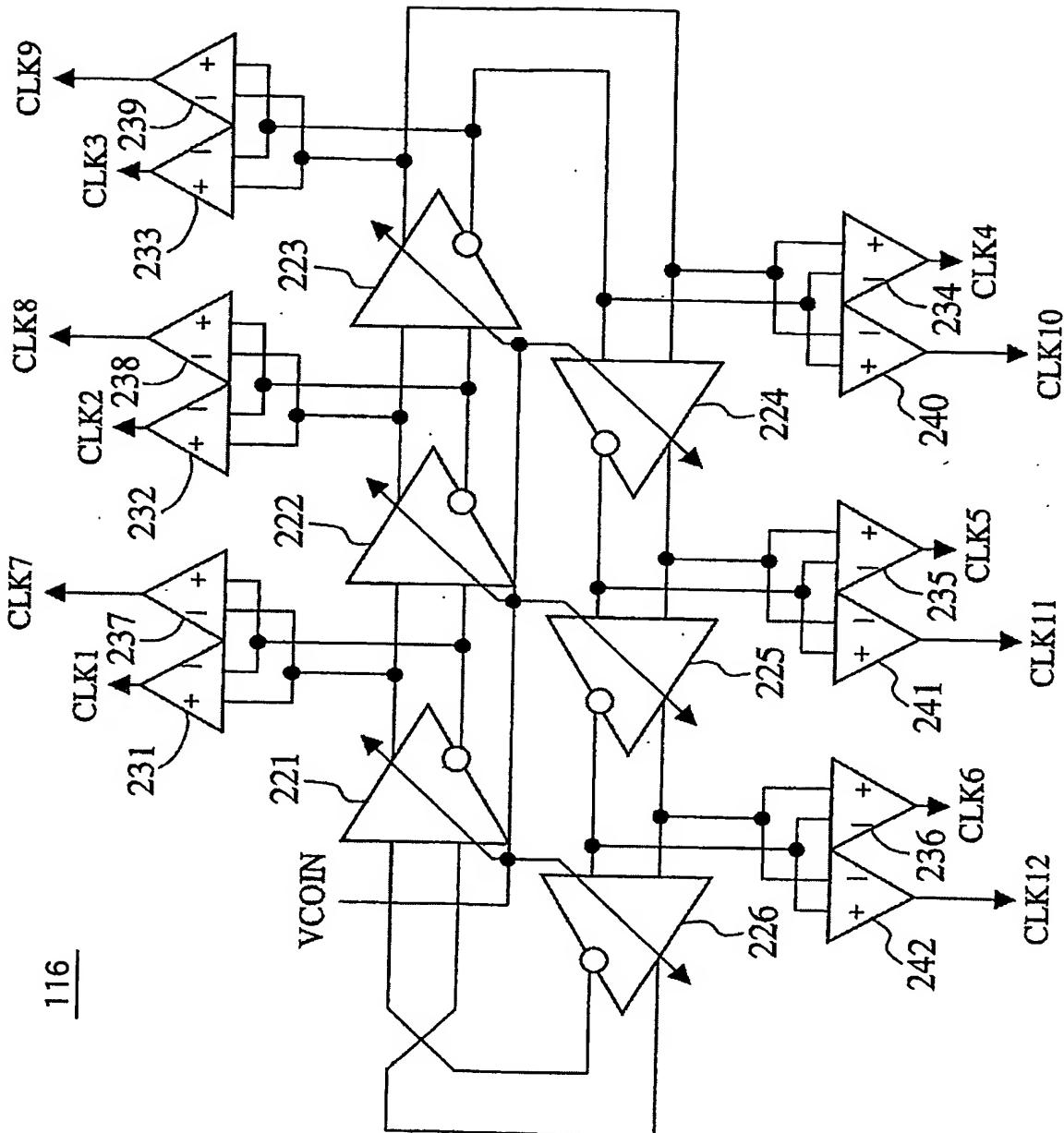


FIG.5

103 エッジ出現時間調整回路

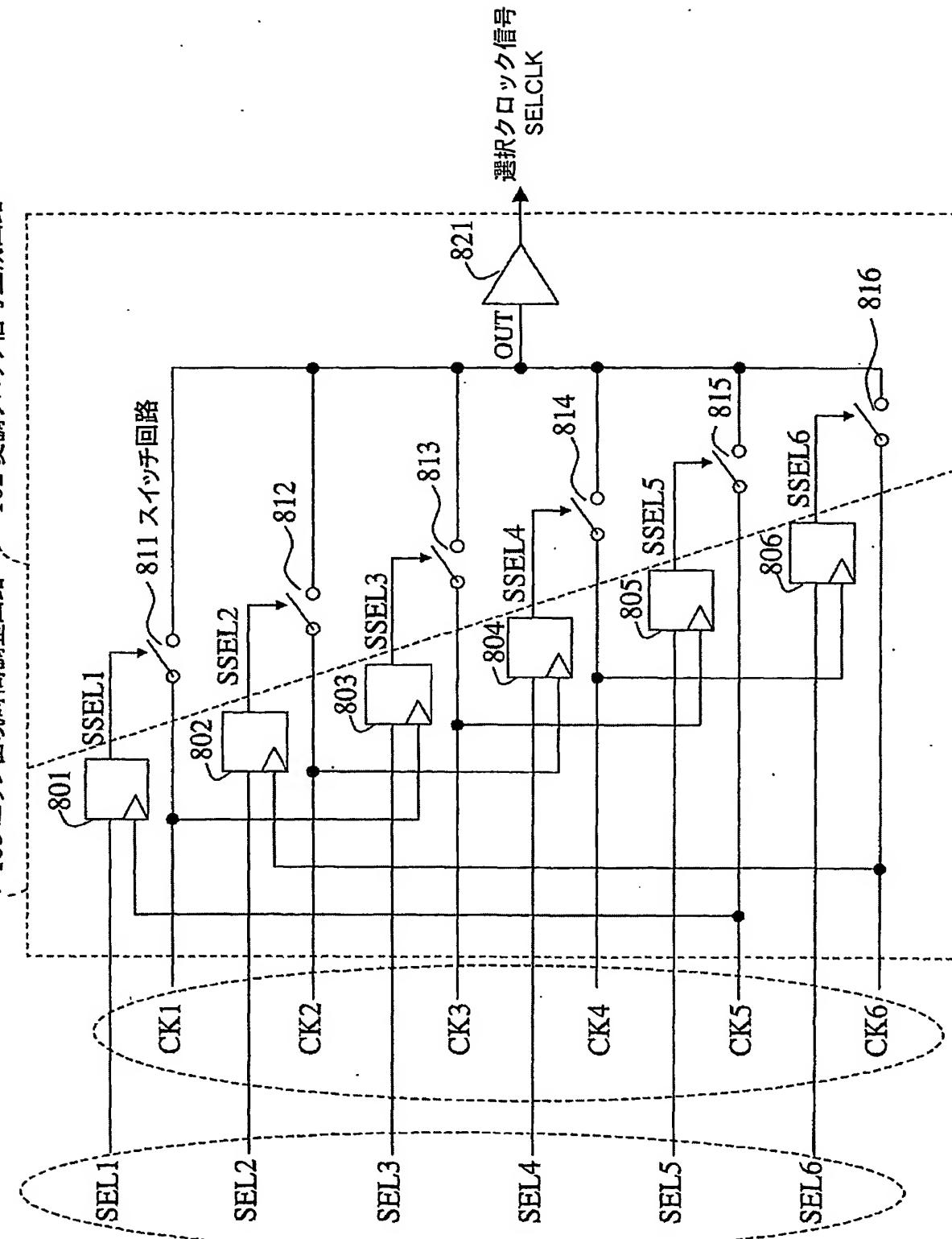


FIG.6

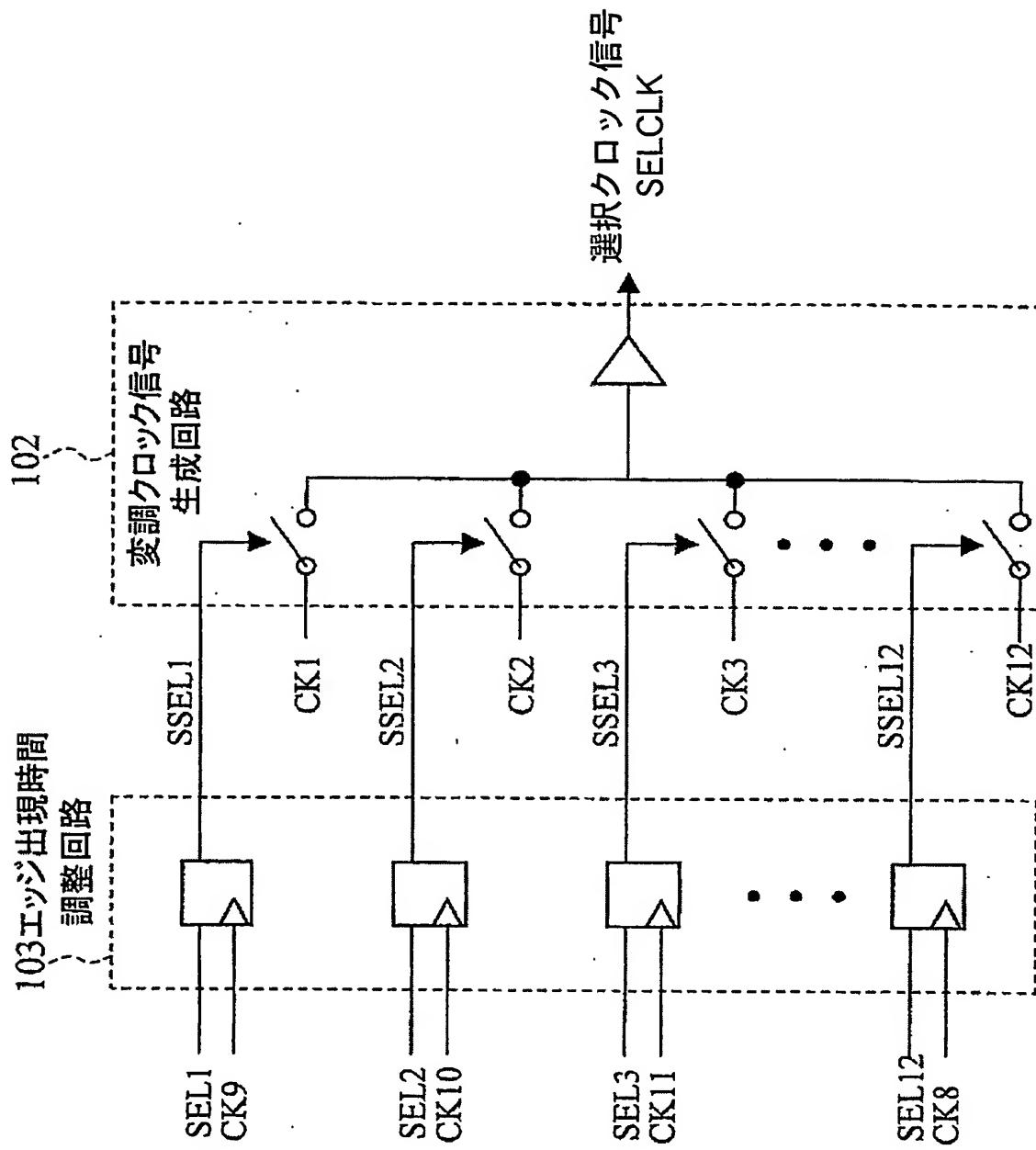


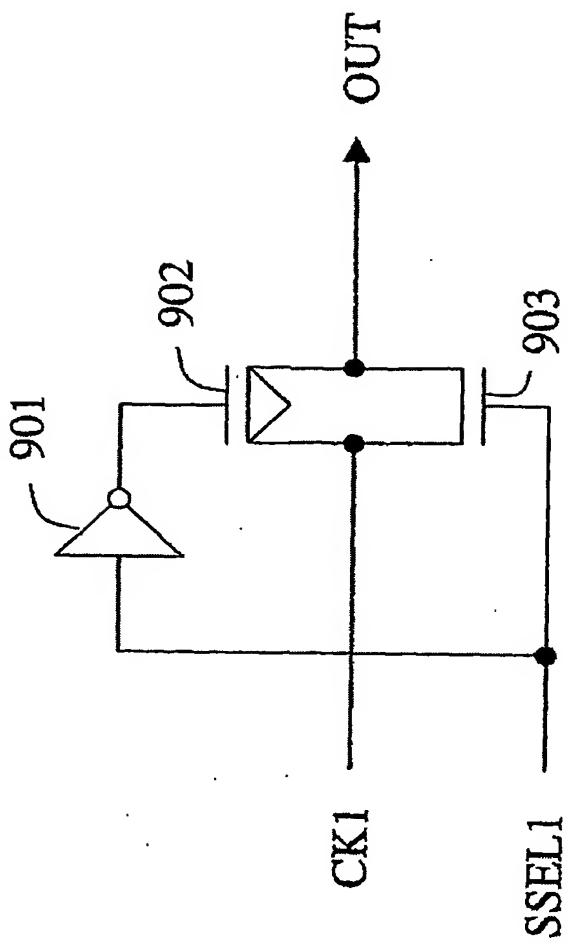
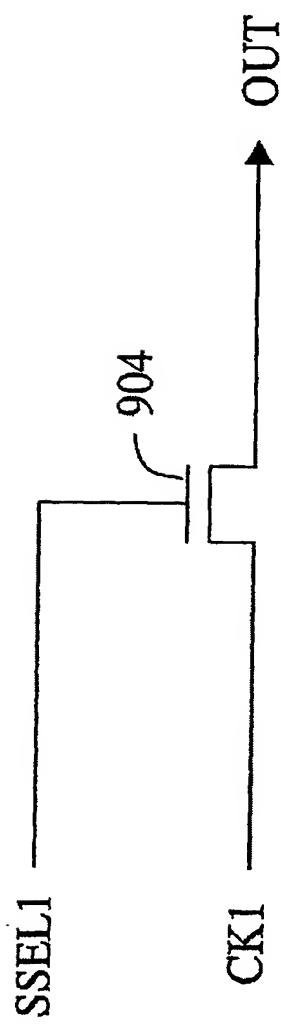
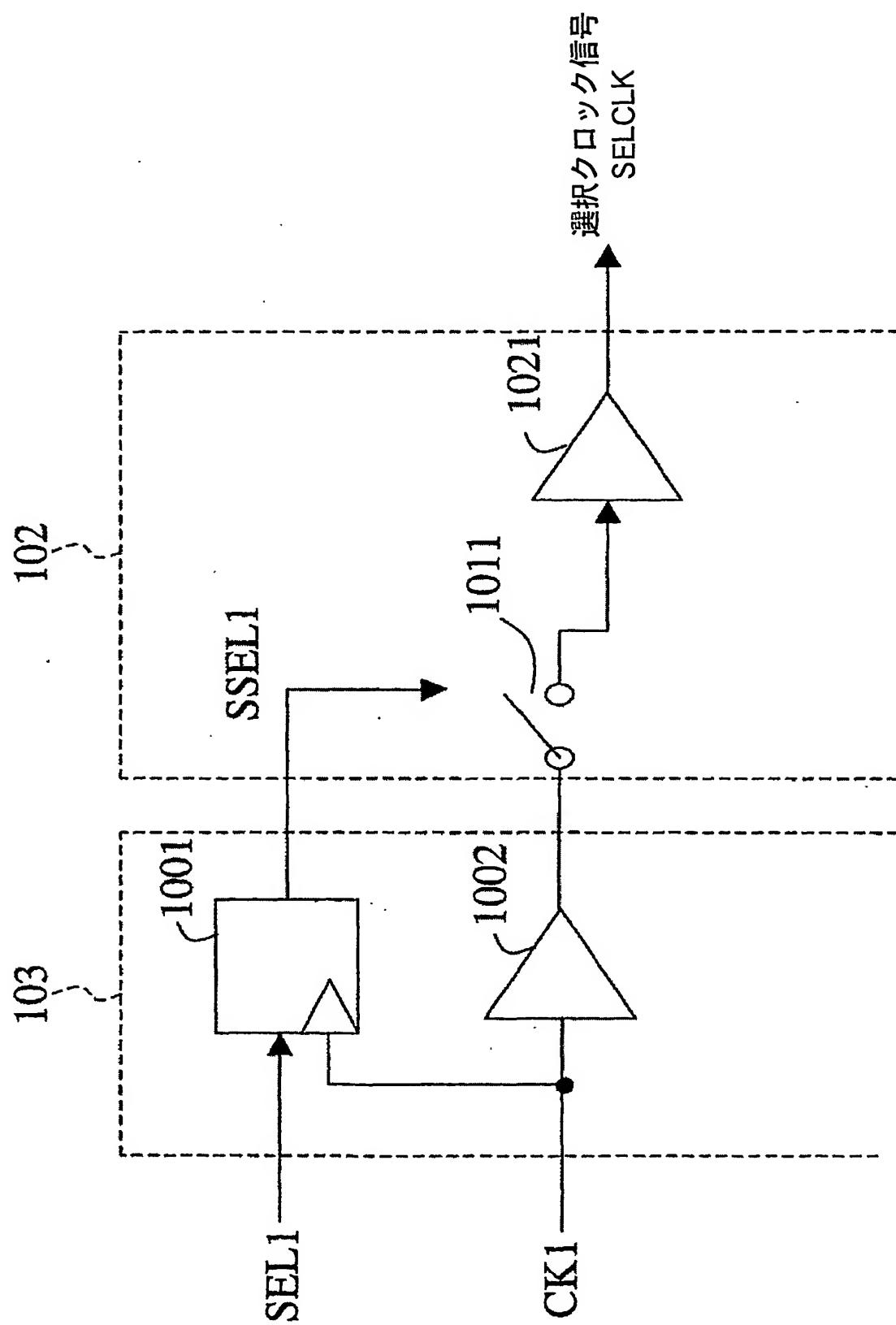
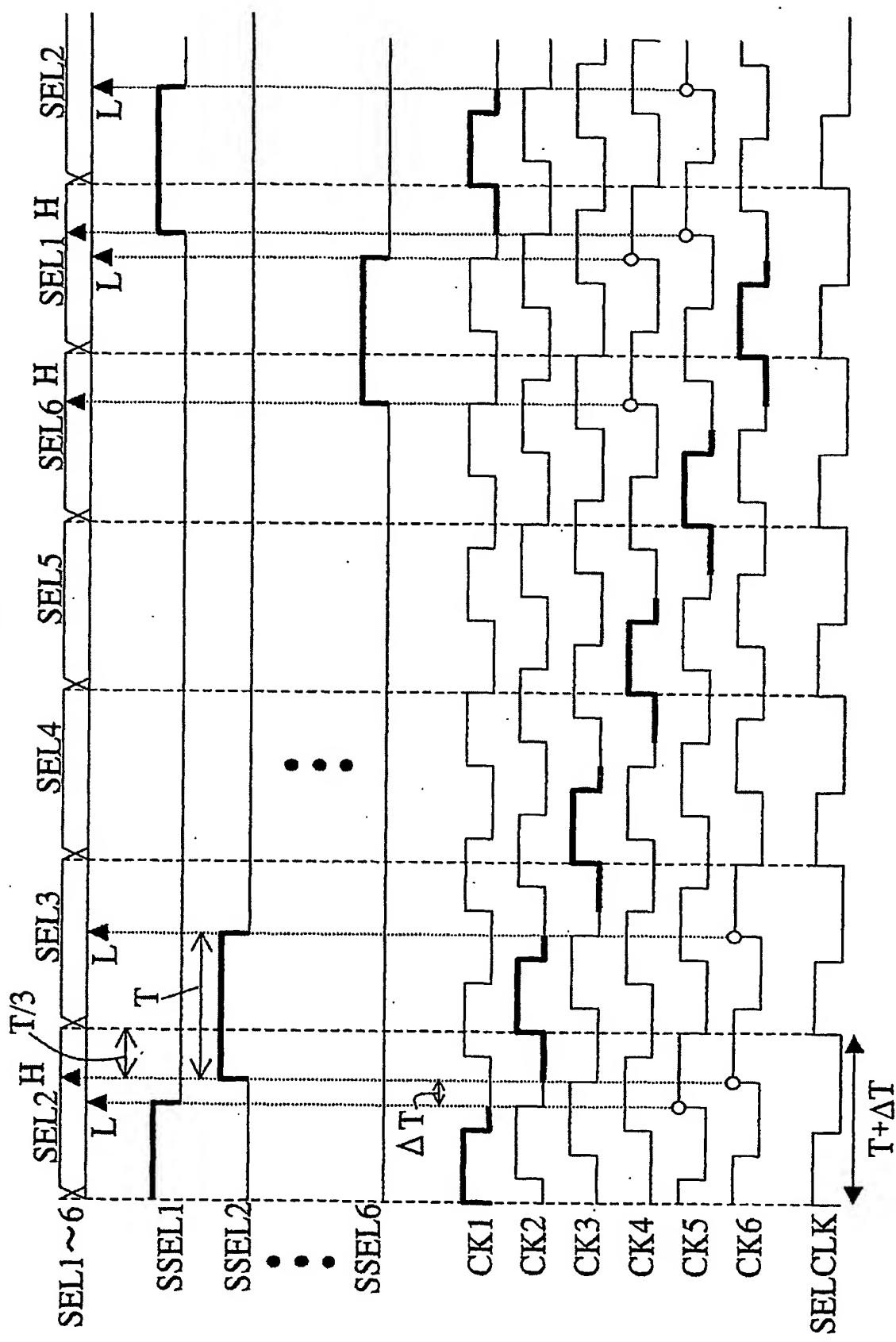
FIG.7A*FIG.7B*

FIG.8



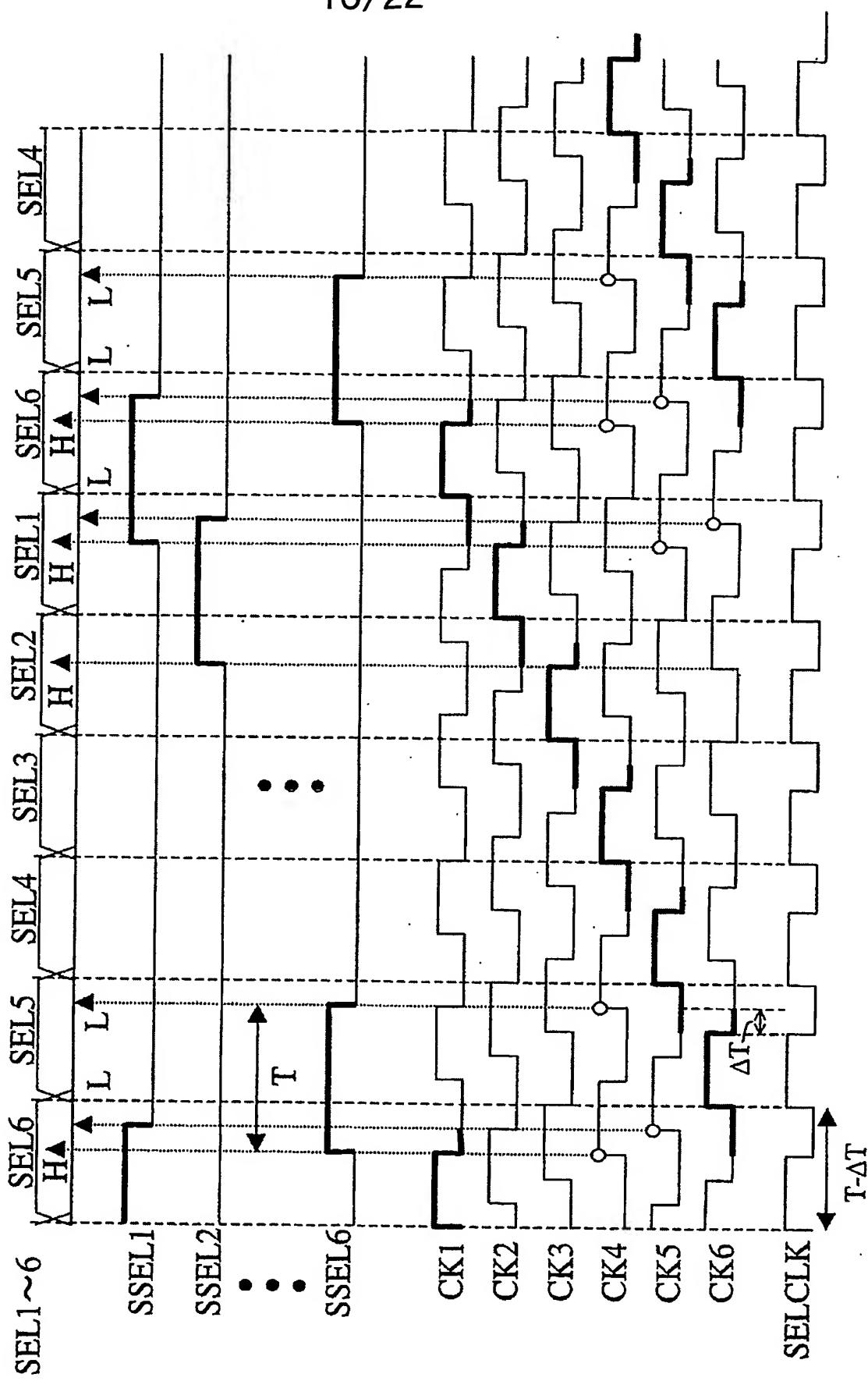
9/22

FIG.9



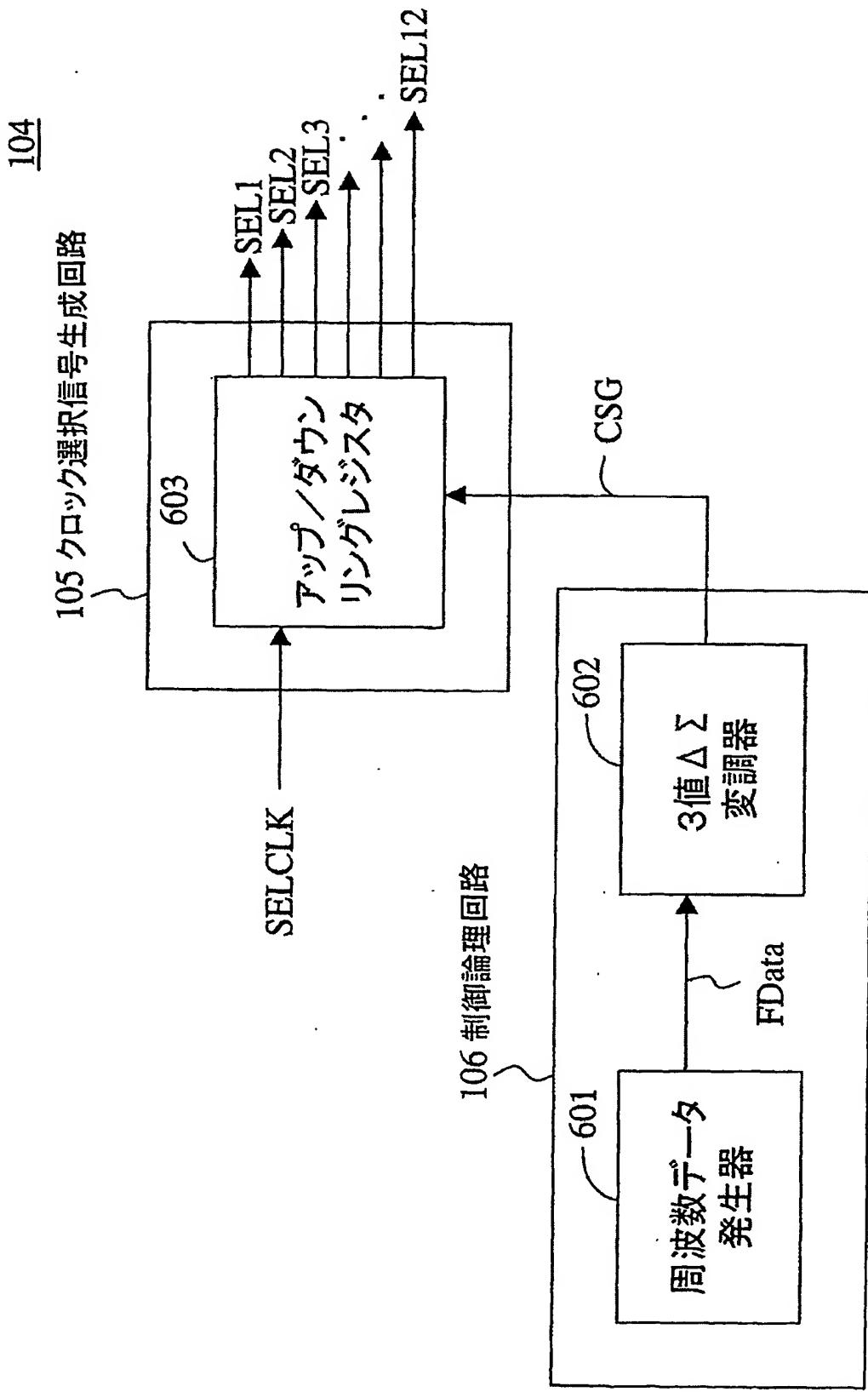
10/22

FIG.10

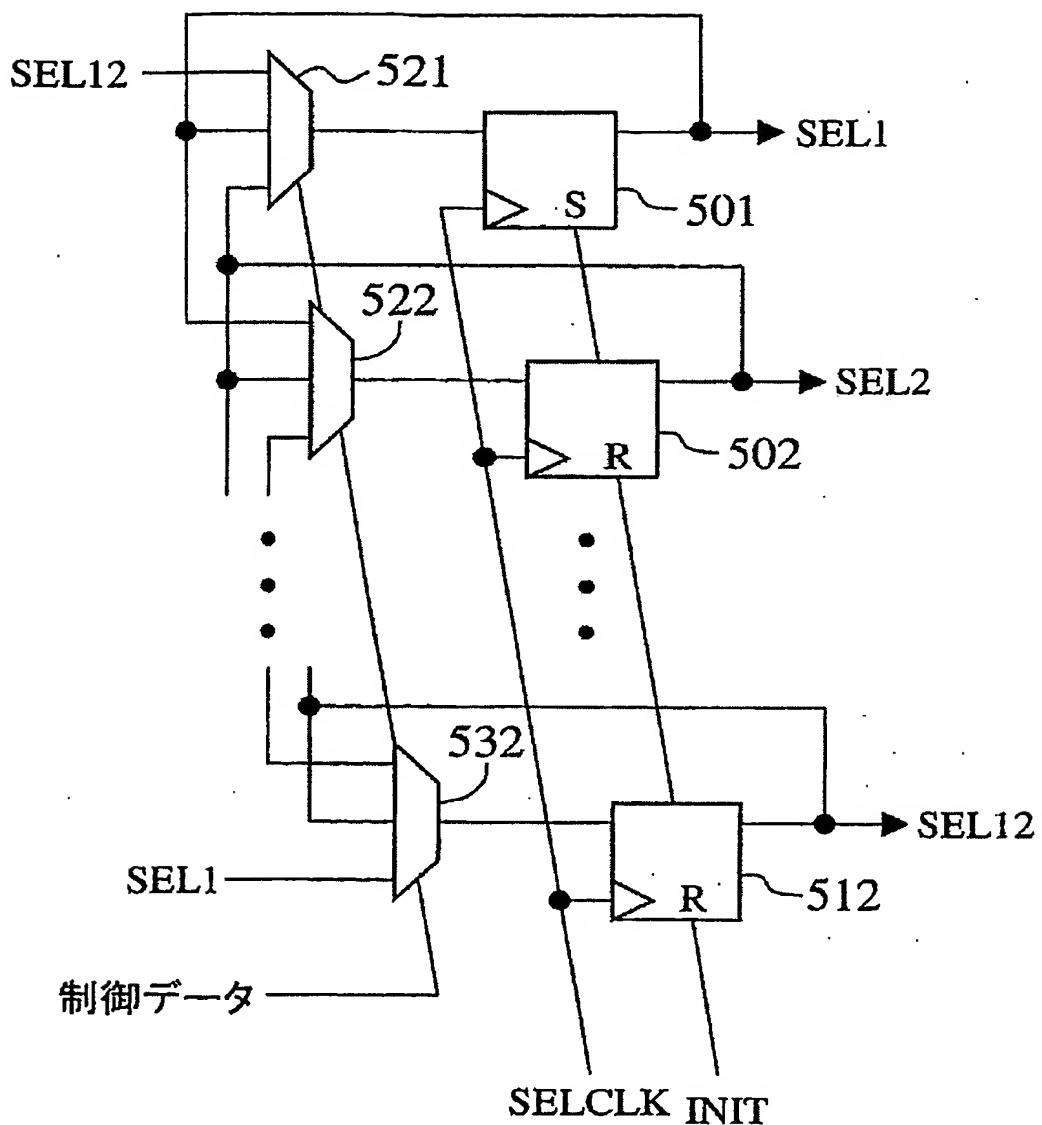


11/22

FIG.11



12/22

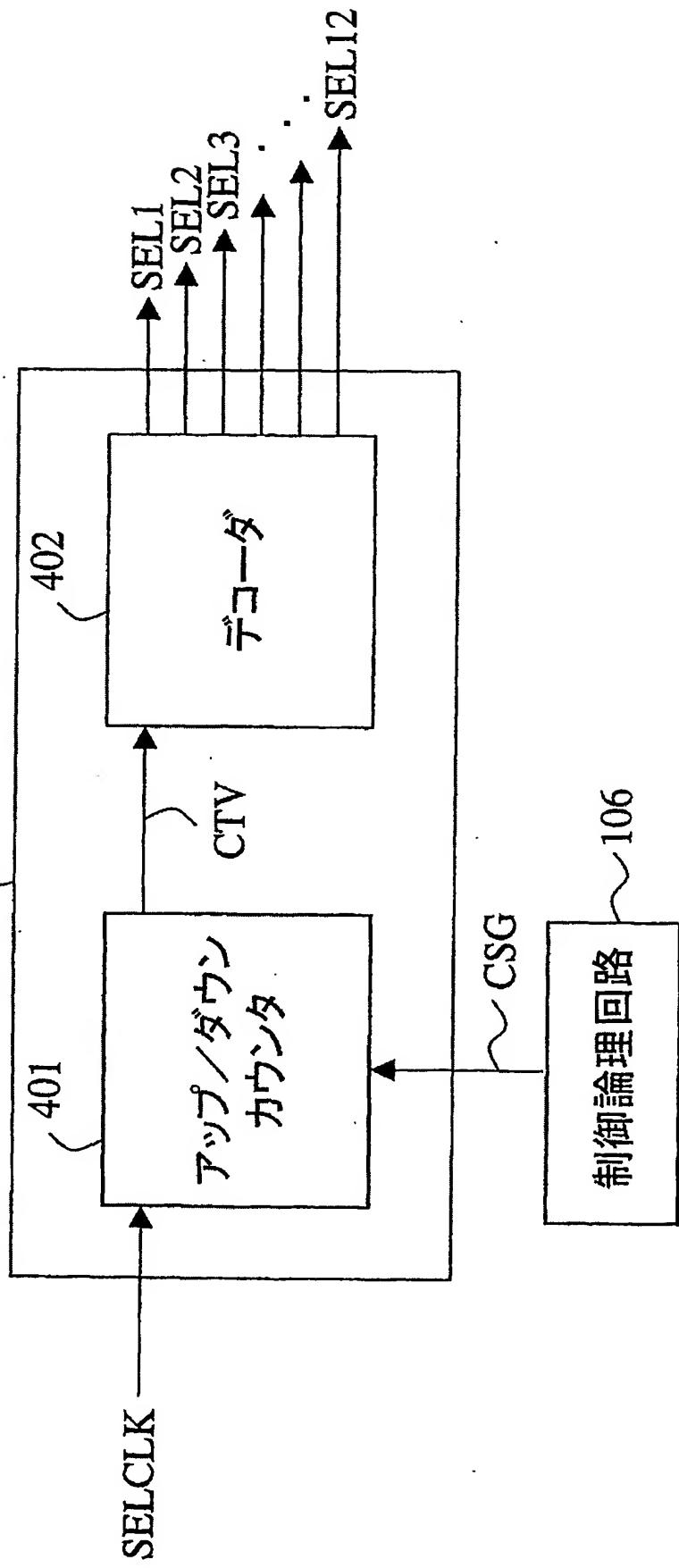
FIG.12603

13/22

104

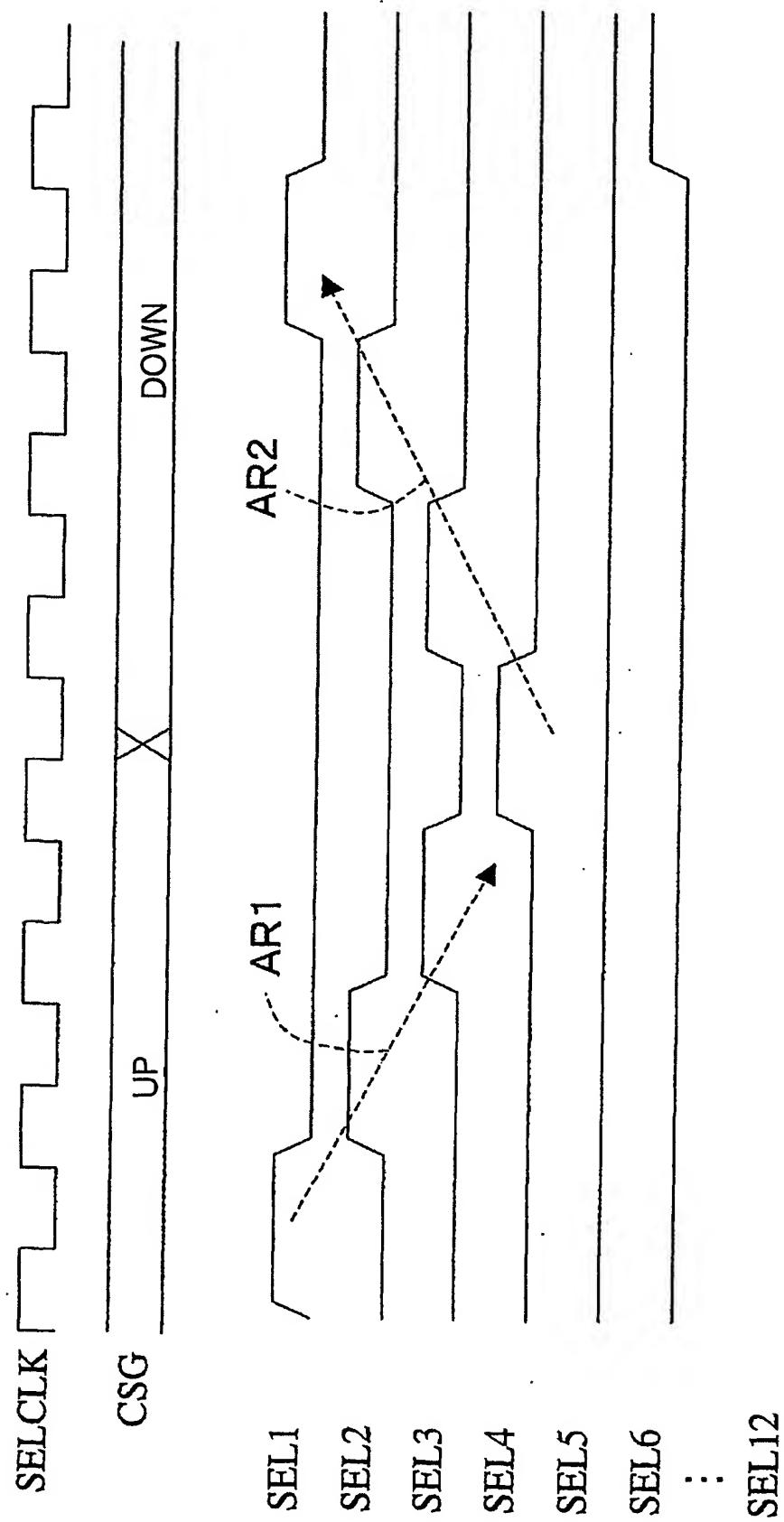
105 クロック選択信号生成回路

FIG. 13



14/22

FIG.14



15/22

FIG.15

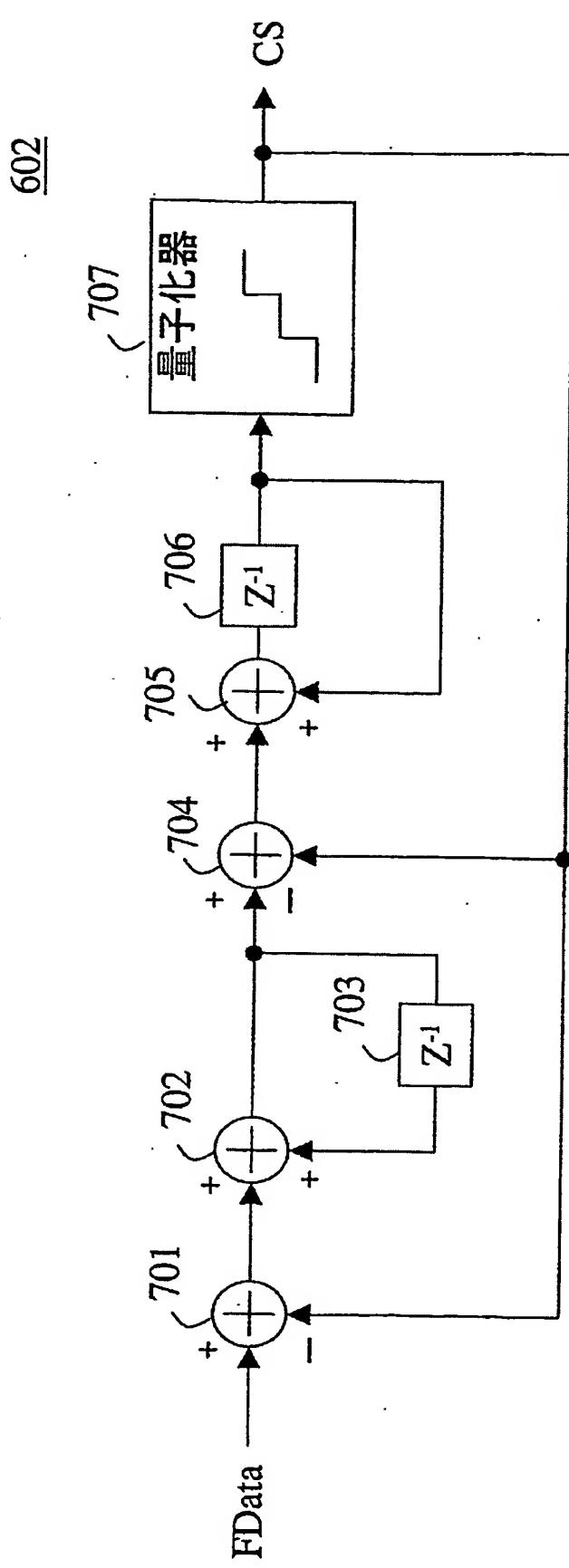
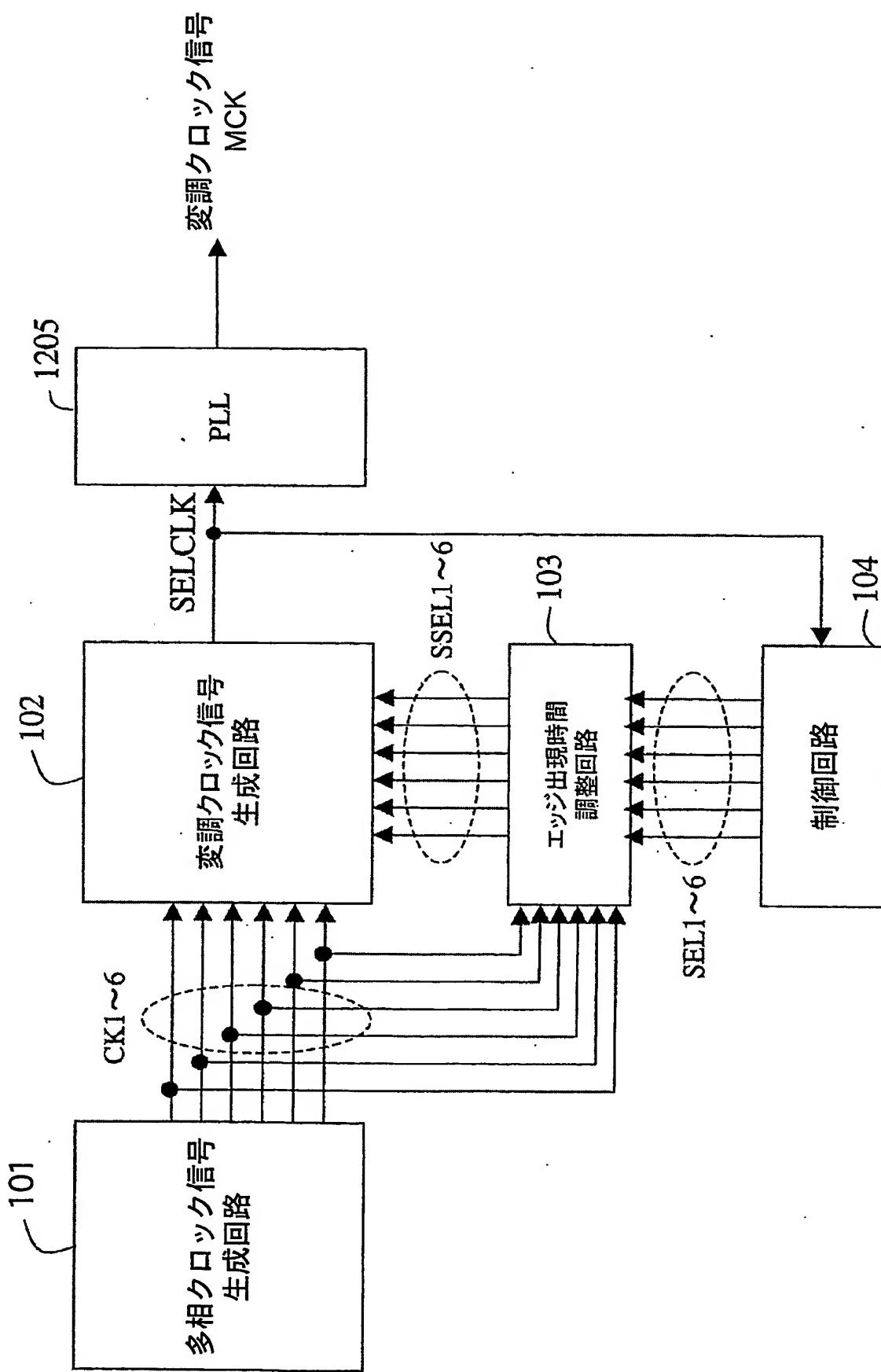
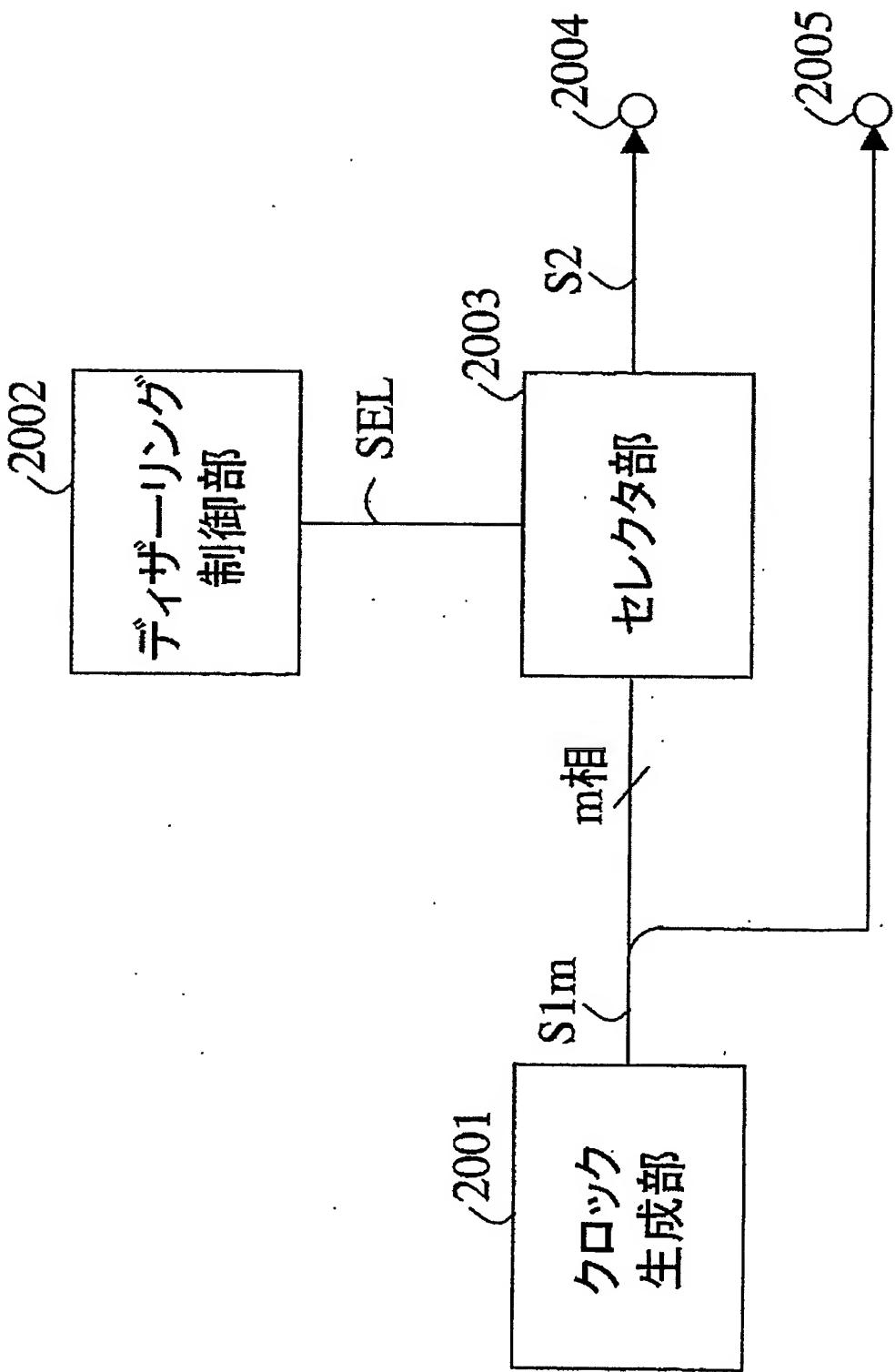


FIG.16



17/22

FIG.17



18/22

FIG. 18

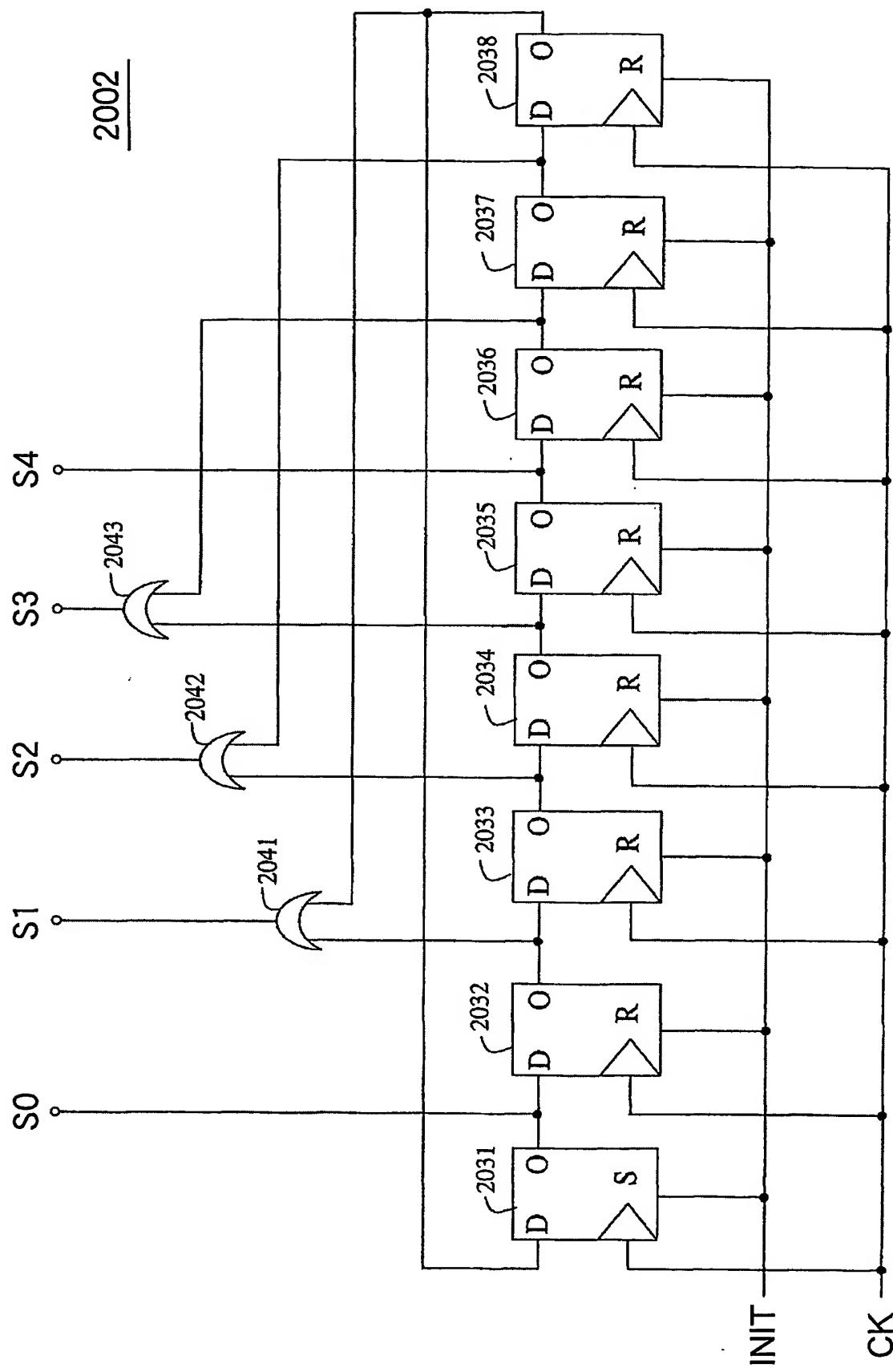


FIG.19

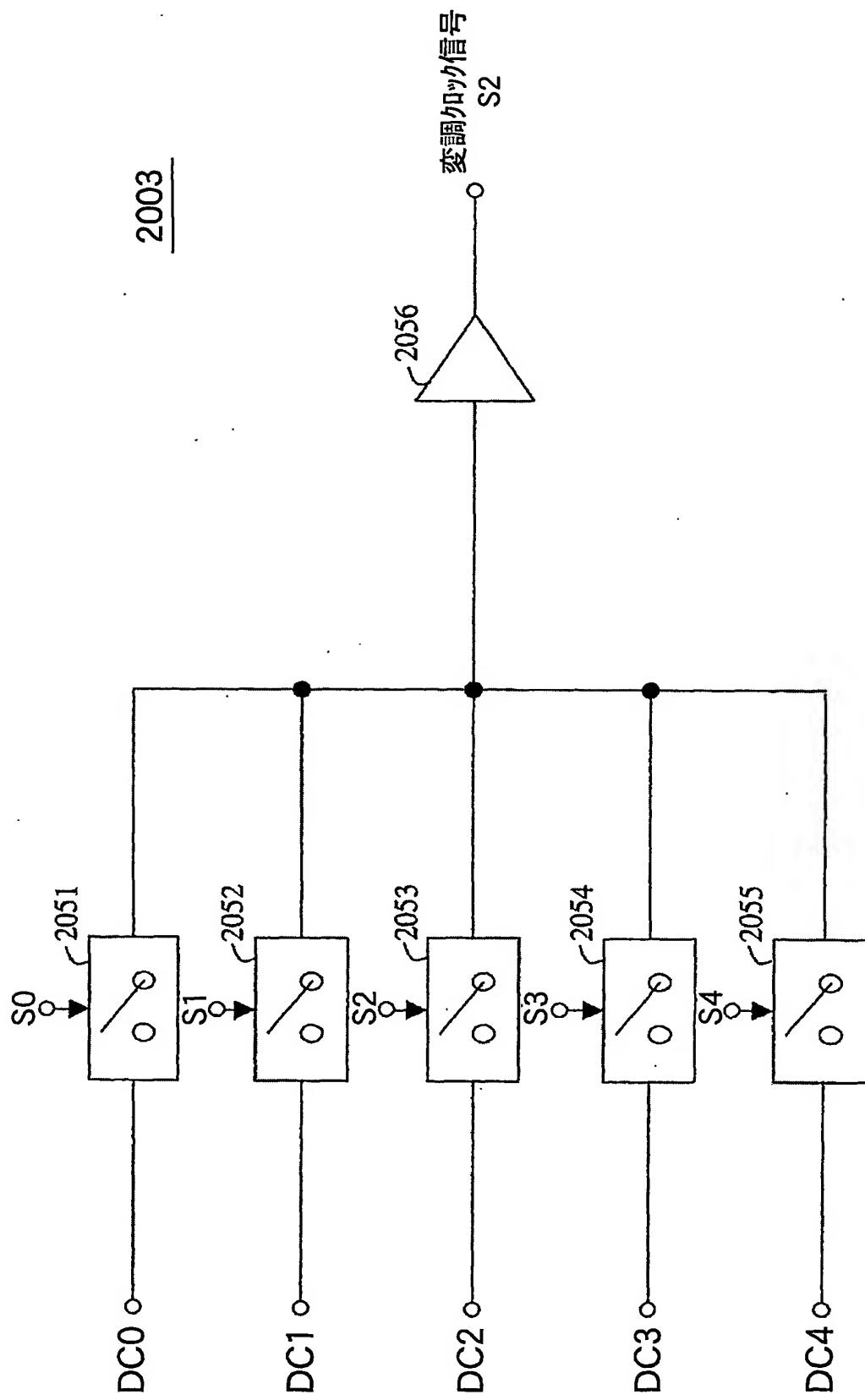
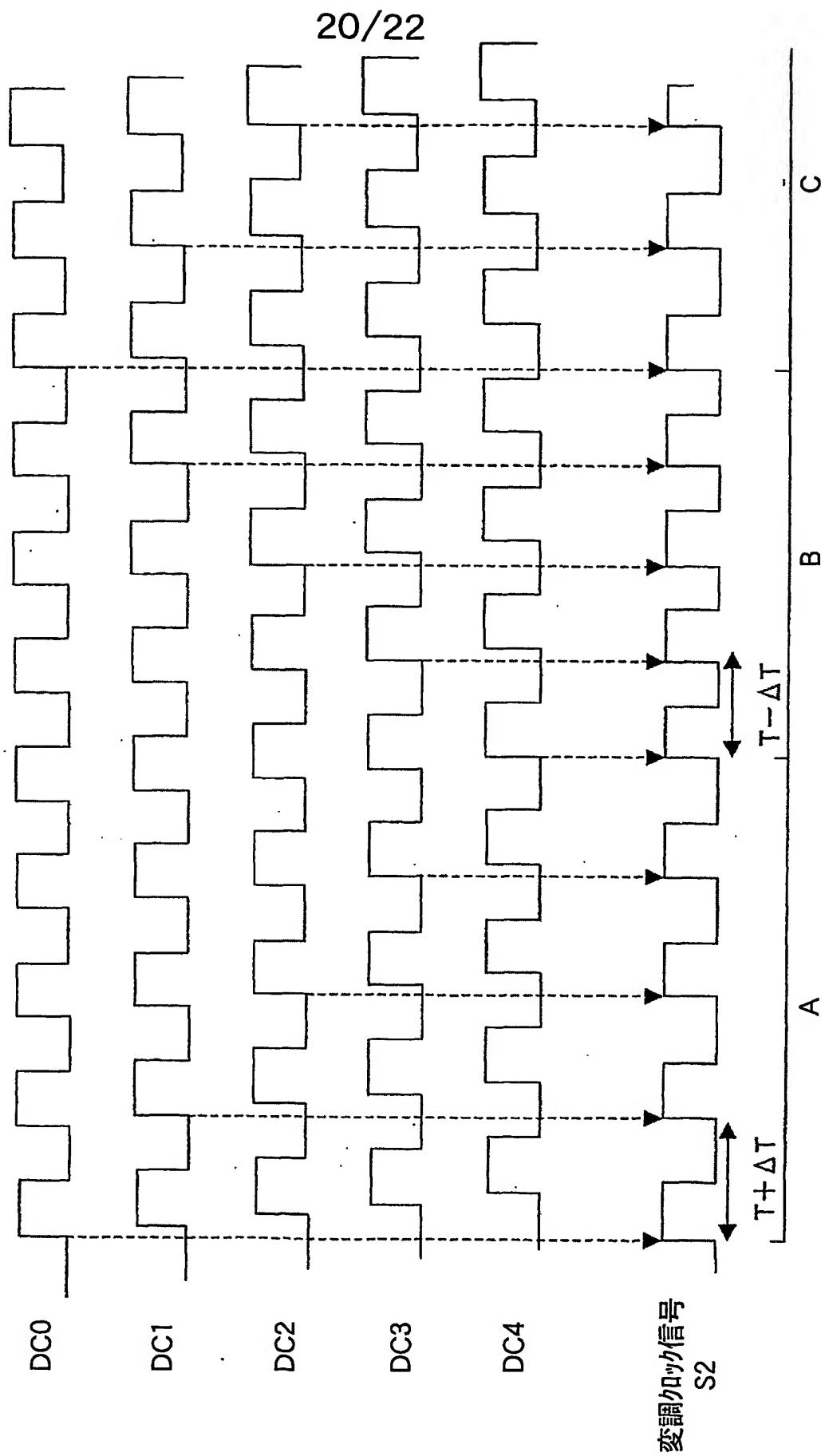
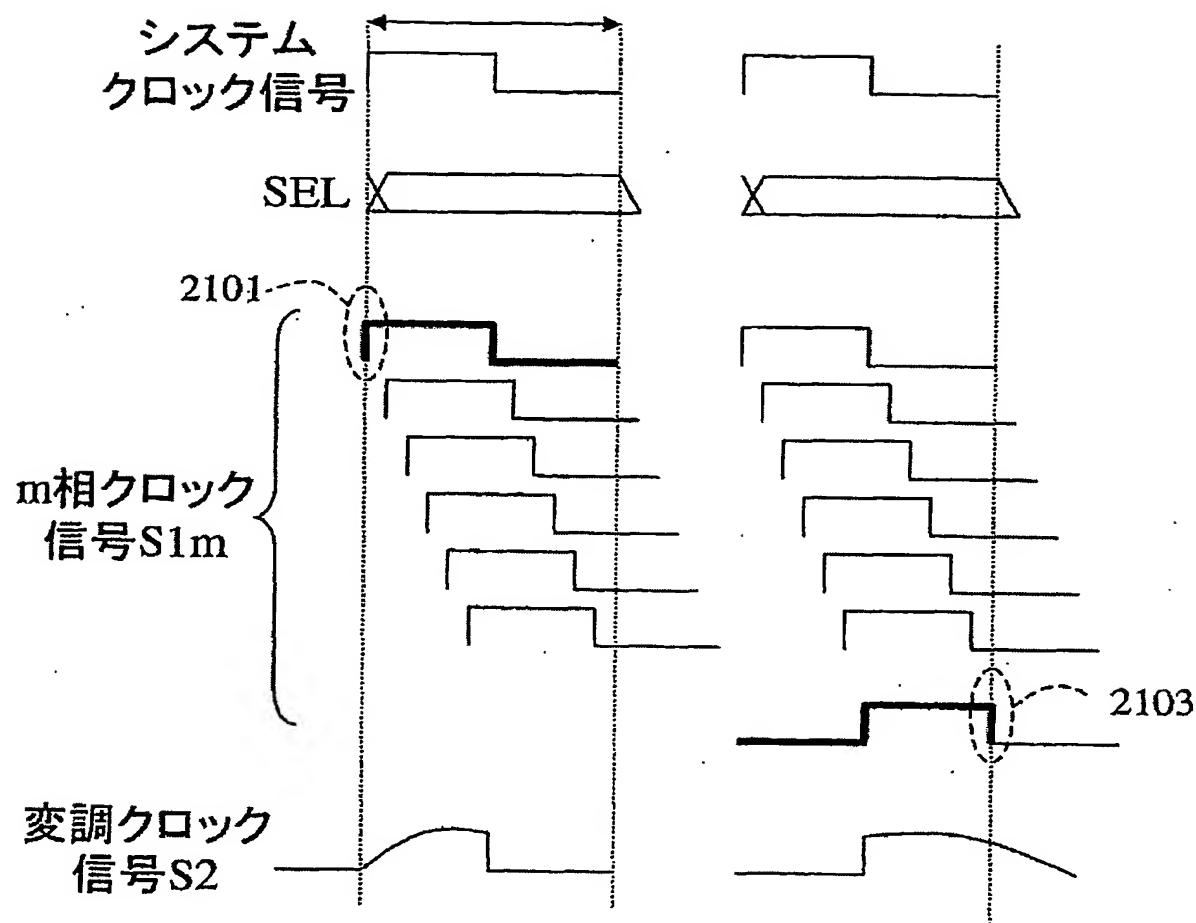
2003

FIG.20



21/22

FIG.21



22/22

FIG.22A

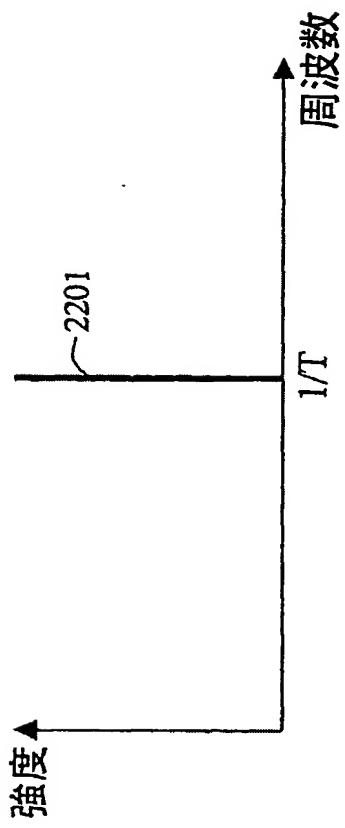


FIG.22B

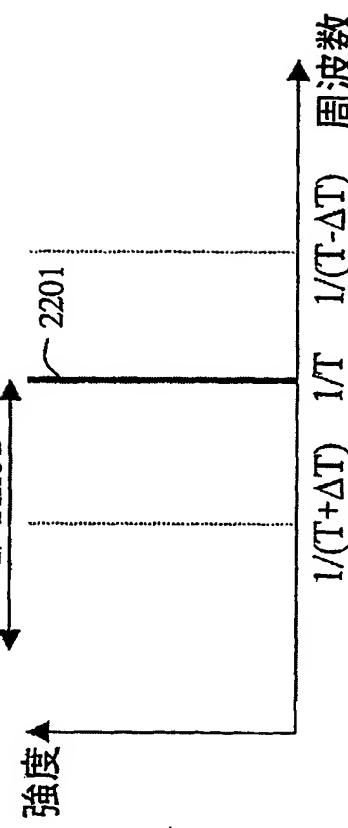


FIG.22C

